

Kursplanering Digitalkonstruktion II / Digitalkretskonstruktion

Föreläsare: Bengt Oelmann

Kurslitteratur: "Principles of CMOS VLSI Design, A Systems Perspective", Neil H.E Weste & Kamran Eshragian

Antal föreläsningstillfällen (F): 16

Antal laborationstillfällen: 4

Examinationsform: Tentamen

- F1: **Introduktion (kap 1)**
- Kursöversikt
 - Exempel på VLSI system baserat på CMOS teknologi
 - CMOS switchen
 - Kombinatorisk logik
 - Minneselement
 - Beskrivningsmetoder för integrerade CMOS system
- F2,F3: **MOS transistorens uppbyggnad och elektriska karakteristik (kap 2.1-2.2, kap 3.1-3.2)**
- $I_{DS} = f(V_{DS}, V_{GS})$
 - Detaljerad genomgång av MOS transistorens ekvationer
 - Grundläggande CMOS teknologi
- F4: **Den komplementära CMOS inverterarens DC karakteristik (kap. 2.3-2.4)**
- β_n/β_p förhållande
 - Brusmarginal
 - *Static load* MOS inverterare
- F5: **Modeller för estimering av parasiter i MOS kretsar (kap 4.1-4.4)**
- Estimering av resistanser
 - Estimering av kapacitanser
 - Estimering av induktanser
- F6,F7: **Switching av CMOS (kap 4.5-4.6)**
- Analytiska fördröjningsmodeller
 - Fördröjningar i komplexa CMOS grindar
 - Signalens vågform
 - Ingångskapacitans – Miller effekt
 - Switch-level RC-modell
 - Makro modellering
 - Transistordimensionering i CMOS grindar
- F8: **Effektförbrukning (kap 4.7)**
- Statisk effektförbrukning
 - Dynamisk effektförbrukning
 - Kortslutningsströmmar
 - Budget för effektförbrukning i ett system
- F9: **Elektriska aspekter på systemnivå (kap 4.8 – 4.11)**
- Dimensionering av globala signaler
 - Laddningsdelning på bussar
 - Konstruktionsmarginaler
 - Kapsling
 - Processutbyte (yield)
- F10: **Dynamiska logikfamiljer (5.4.4, 5.4.5, 5.4.7, 5.4.9, + TSPC och NORA på föreläsning)**
- CMOS Dominologik
 - Cascade Voltage Switch Logic (CVSL)
 - No Race Logic (NORA)

- True Single Phase Logic (TSPC)

- F11.1: **Logisk och fysisk konstruktion av CMOS grindar (kap 5.2 – 5.3.4)**
- Fan-in / fan-out
 - Typiska grindfördröjningar i CMOS
 - Dimensionering av transistorer
 - Fysisk konstruktion av CMOS grind
 - Konstruktion av CMOS standard cell
- F11.2: **Transmissionsgrind och passtransistorlogik (kap 2.6 + syntesprocedur från föreläsning)**
- Transmissionsgrinden
 - Syntes av passtransistorlogik
- F12: **Klockstrategier (kap 5.5.1 – 5.5.5, 5.5.8 – 5.5.9)**
- Klockade system
 - Latchar och register
 - System timing
 - Setup- och hålltider
 - En-fas minnen
 - Två-fas minnen
- F13: **Klockdistribution och synkronisering (kap 5.5.6 – 5.5.7, 5.5.16)**
- Metastabilitet och synkroniseringsfel
 - Klockdistribution
 - PLL klockningstekniker
- F14: **IO-strukturer (kap 5.6.1 – 5.6.5)**
- Organisation på chipnivå
 - Matningsspänningar
 - Utpaddar
 - Inpaddar
 - Bi-direktionella paddar
- F15: **Konstruktionsflöde för VLSI (kap 6.2.1-6.2.6, 6.5.1 – 6.5.5, 6.6.1 – 6.6.8, 6.7, 6.8)**
- Konstruktionsstrategier
 - Inmatning av konstruktion
 - Verifiering av konstruktion
 - Ekonomi
 - Datablad
- F16: **Testmetoder (kap 7.1, 7.2, 7.3)**
- Motivation
 - Testprinciper
 - Konstruktionsstrategier för test