

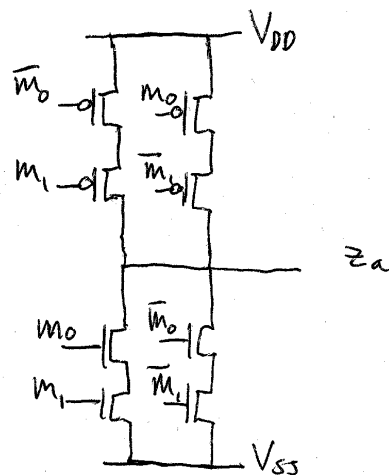
1a) Konstruera statisk CMOS grind för

$$z_a = (m_0 \cdot \bar{m}_1) + (\bar{m}_0 \cdot m_1)$$

$$\bar{z}_a = \overline{(m_0 \cdot \bar{m}_1) + (\bar{m}_0 \cdot m_1)} = (m_0 \cdot m_1) \vee (\bar{m}_0 \cdot \bar{m}_1)$$

z_a ger pMOS trädet och $\bar{z}_a$ ger nMOS trädet.

Transistorschema:



b) Skriv sanningstabellen i form av ett Karnaugh diagram.

		bc			
		00	01	11	10
a	0	0	1	0	1
	1	0	1	1	0

Inringning av ettor ger uttrycket för p-mos trädet.

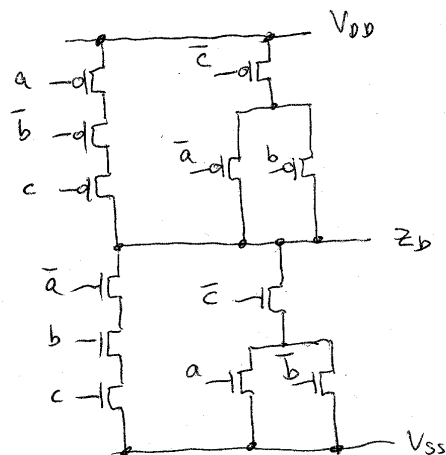
$$\bar{b}c + ac + \bar{a}b\bar{c} = c(a + \bar{b}) + \bar{a}b\bar{c}$$

Inringningar av nollor ger uttrycket för n-mos trädet

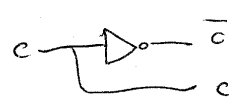
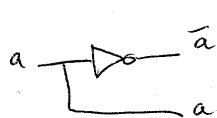
$$\bar{b}\bar{c} + \bar{a}bc + a\bar{c} = \bar{a}b\bar{c} + \bar{c}(a + \bar{b})$$

forts. 1b)

Transistor schema:



för både 1a och 1b gäller



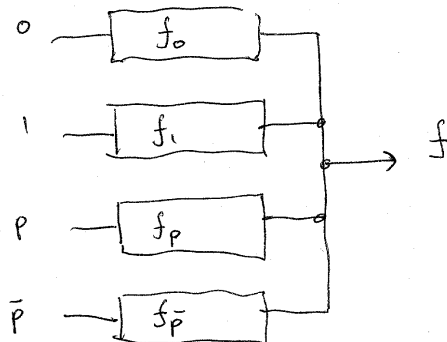
— a —

2. Se kursboken

3. Se kursboken

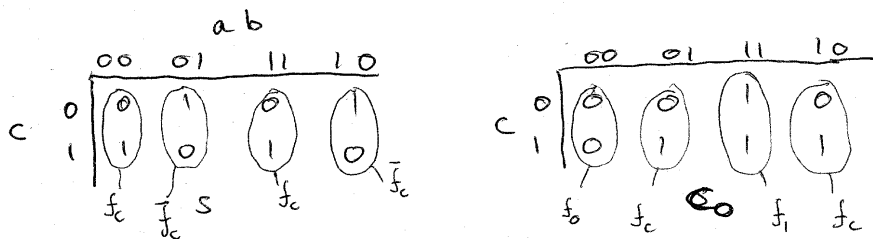
4. Ta fram en full-adderare i passtransistorlogik

Använder följande modell:



där p är passtransistorn, och $f_0, f_1, f_p, f_{\bar{p}}$ är logiska funktioner

Fulladderarens funktion för s (summa) och c_0 (carry out) skrivs i Karnaugh diagram.



Välj c som passvariabel.

4) forts.

M.h.a. inringningarna kan vi teckna uttrycken för funktionerna:

För s :

$$f_c = \bar{a}\bar{b} + ab$$

$$f_{\bar{c}} = \bar{a}b + a\bar{b}$$

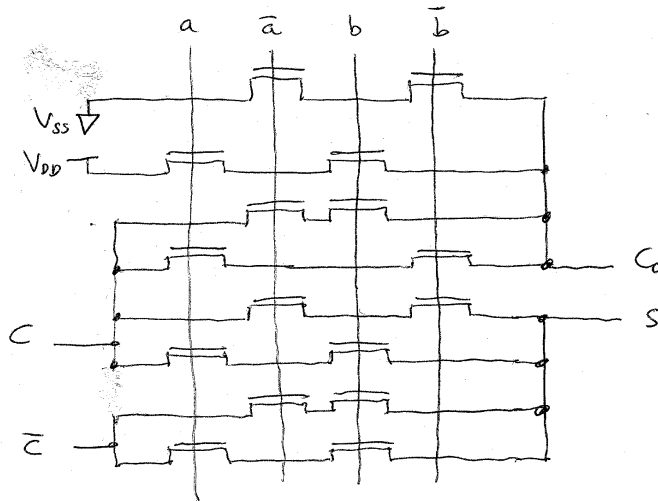
För c_0 :

$$f_0 = \bar{a}\bar{b}$$

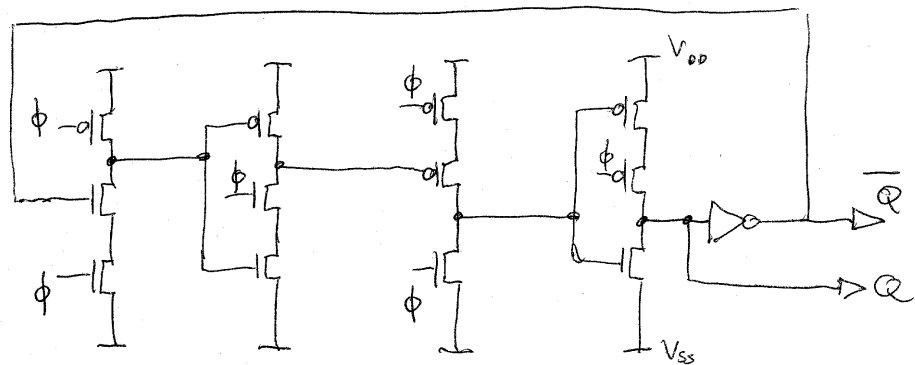
$$f_1 = ab$$

$$f_c = \bar{a}b + a\bar{b}$$

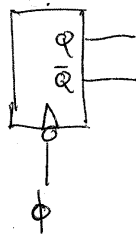
Fulladderarens transistorschema ritas upp:



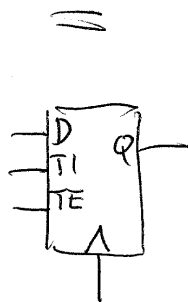
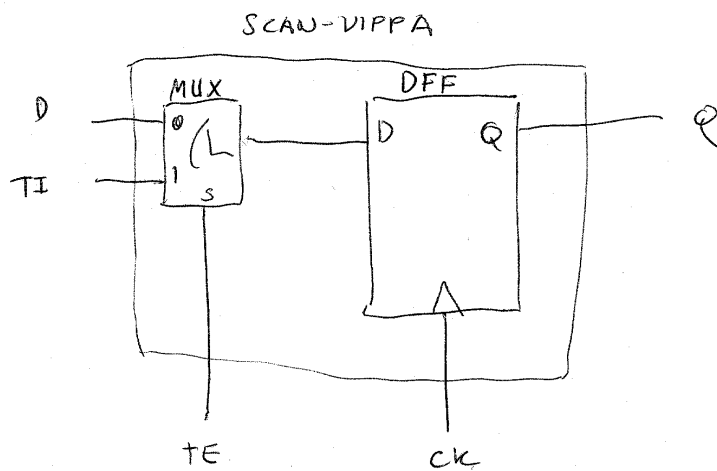
5. Toggle vippe i TSPC.



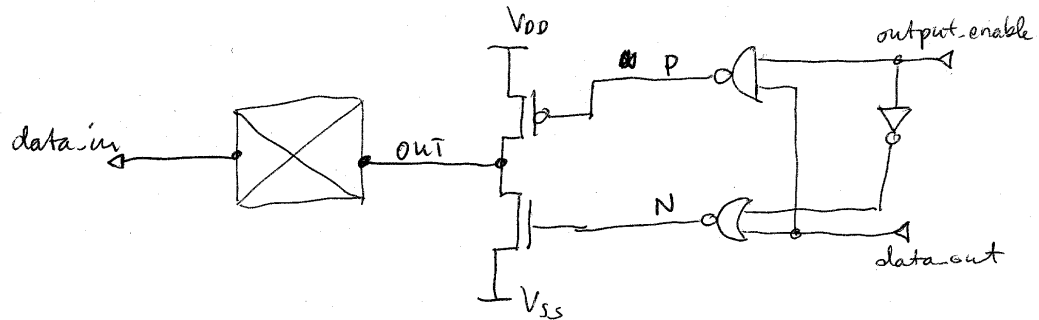
Negativt flanktriggad Toggle-vippe



6. Beskrivning: se föreläsning anteckningar och kursbok.



7 Bidirektionell pad.



OE = output_enable
 D = data_out
 P och N styrsignaler till drivande inverterare.

Sanningstabell:

OE	D	N	P	out
0	X	0	1	Z
1	0	1	1	0
1	1	0	0	1

8)

a) Uppskatta effektförbrukningen:

$$P_{\text{tot}} = P_{\text{logik}} + P_{\text{IO}} + P_{\text{clk}}$$

$$\begin{aligned} P_{\text{logik}} &= P_{\text{gate}} \cdot n_{\text{gates}} \cdot f \cdot \alpha_{\text{logik}} \\ &= 3 \cdot 10^{-6} \cdot 60000 \cdot 50 \cdot 0.1 = \underline{900 \text{ mW}} \end{aligned}$$

$$\begin{aligned} P_{\text{clk}} &= n_{\text{dff}} \cdot C_{\text{clk}} \cdot V_{\text{DD}}^2 \cdot f \\ &= 9000 \cdot 28 \cdot 10^{-15} \cdot 3.3^2 \cdot 50 \cdot 10^6 = 137 \text{ mW} \end{aligned}$$

$$\begin{aligned} P_{\text{IO}} &= \overset{=0.08}{\alpha_{\text{IO}}} \cdot (292 \cdot 10^{-12} + 3.3^2 \cdot 30 \cdot 10^{-2}) \cdot 50 \cdot 10^6 \cdot 8 \\ &= 20 \text{ mW} \end{aligned}$$

$$P_{\text{tot}} = 900 + 137 + 20 = 1057 \text{ mW}$$

Svar: Effektförbrukningen är 1.1 W vid 3.3V

8 b)

Matningsspänningen kan sänkas så att fördröjningarna ökar från 10ns till 20ns.

Enligt formelsamlingen så är $t = k_A \cdot \frac{1}{V_{DD}}$ där k_A är konstant om man enbart förändrar matningsspänningen.

Vi vet också att $P = k_B \cdot V_{DD}^2$ där k_B är konstant.

I utgångsläget har vi $t_1 = 10\text{ns}$ och $V_{DD1} = 3.3\text{V}$ och det sökta läget $t_2 = 20\text{ns}$ och $V_{DD2} = ?$

$$\frac{t_1}{t_2} = \frac{k_A \cdot V_{DD2}}{k_A \cdot V_{DD1}} \Rightarrow V_{DD2} = V_{DD1} \cdot \frac{t_1}{t_2}$$

$$V_{DD2} = 1.65\text{V}$$

$$P_{tot2} = P_{logik2} + P_{IO} + P_{clk2}$$

$$P_{logik2} = P_{logik} \cdot \left(\frac{V_{DD2}}{V_{DD1}}\right)^2 = 225\text{mW}$$

$$P_{clk2} = P_{clk} \cdot \left(\frac{V_{DD2}}{V_{DD1}}\right)^2 = 34\text{mW}$$

$$P_{tot2} = 225 + 34 + 20 = 279\text{mW}$$

SVAR: Det går att reducera från 1100mW till 280mW