

Övningsuppgifter i Digital kretskonstruktion I

Bengt Oelmann ITE, 1998-08-24

1.0 Introduktion

- 1.1 Konstruera logiska grindar i CMOS med följande funktioner

$$Z_1 = \overline{ABCD}$$

$$Z_2 = \overline{(((AB) + C)D)}$$

- 1.2 Konstruera en prioritets enkoder vars beteende beskrivs som

$$Z_0 = \overline{A_0}(A_1 + \overline{A_2})$$

$$Z_1 = \overline{A_0} * \overline{A_1}$$

- 1.3 Konstruera en "positiv level sensitiv" latch med en asynkron reset (reset=1 => q=0)

2.0 MOS transistorens uppbyggnad och elektriska karakteristika

Fysikaliska konstanter och processdata:

$$N_A = 3 \times 10^{16} \text{ cm}^{-3}$$

$$N_i = 1.45 \times 10^{10} \text{ cm}^{-3}$$

$$t_{\text{ox}} = 200 \text{ Å}$$

$$t_{\text{fox}} = 2000 \text{ Å}$$

$$\epsilon_0 = 8.854 \times 10^{-14} \text{ F/cm}$$

$$\epsilon_{\text{siO}_2} = 3.9$$

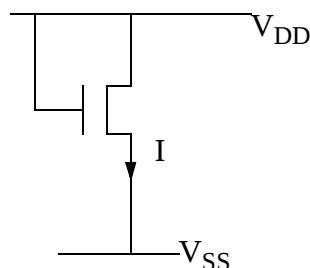
$$\epsilon_{\text{si}} = 11.7$$

$$\phi_{\text{ms}} = -0.9 \text{ V}$$

$$Q_{\text{fc}} = 0$$

$$\mu_n = 500 \text{ cm}^2/\text{Vs}$$

$$\mu_p = 200 \text{ cm}^2/\text{Vs}$$



Övningsuppgifter i Digital kretskonstruktion I

- 2.1 Bestäm tröskelspänningarna för nmos- och pmos transistorer vid rumstemperatur.
- 2.2 Bestäm β_n och β_p för transistorerna i 2.1.
- 2.3 Bestäm det minsta W , då $L=0.8\mu\text{m}$, för att få strömmen $I=50\mu\text{A}$ vid $V_{DD}=5\text{V}$.
- 2.4 Bestäm β_n och v_{Tn} för en nmos transistor som har bildats på fältoxygen.
- 2.5 Vad är den största tröskelspänningen en nmos transistor (liknande den i 2.1) kan få i ett 5 volts system ?

3.0 Grundläggande CMOS teknologi

- 3.1 En p-well process har följande lager

- p-well
- active
- n-plus
- p-plus
- poly
- contact
- via cut
- metal1
- metal2

Rita de kombinationer av lager som bildar

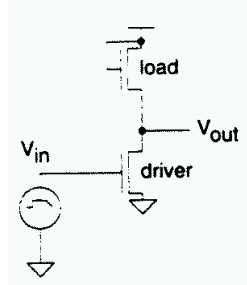
- a) en p-transistor
- b) en n-transistor
- c) en via-kontakt
- d) en substratkontakt till V_{DD}

- 3.2 Förklara varför substratkontakter viktiga.
- 3.3 Förklara varför "silicon-gate" processen också kallas för en *self-aligned* process.

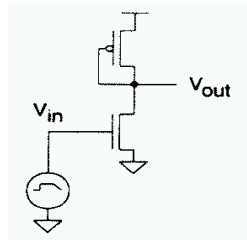
4.0 Den komplementära CMOS inverterarens DC-karakteristik

- 4.1 Beräkna brusmarginalen för en CMOS inverterare som arbetar med 3.3V matningsspänning där $v_{Tn} = 0.7\text{V}$ och $v_{Tp} = -0.7\text{V}$ och $\beta_p=\beta_n$.

4.2 Härled V_{OH} och V_{OL} för inverteraren nedan.



4.3 Härled överföringsfunktionen som leder fram till V_{OH} för inverteraren nedan.



4.4 Konstruera en ingångsbuffer som kan användas i ett gränssnitt mot en TTL drivare ($V_{DD}=5V$, $V_{OL}=0.8V$, $V_{OH}=2.0V$)

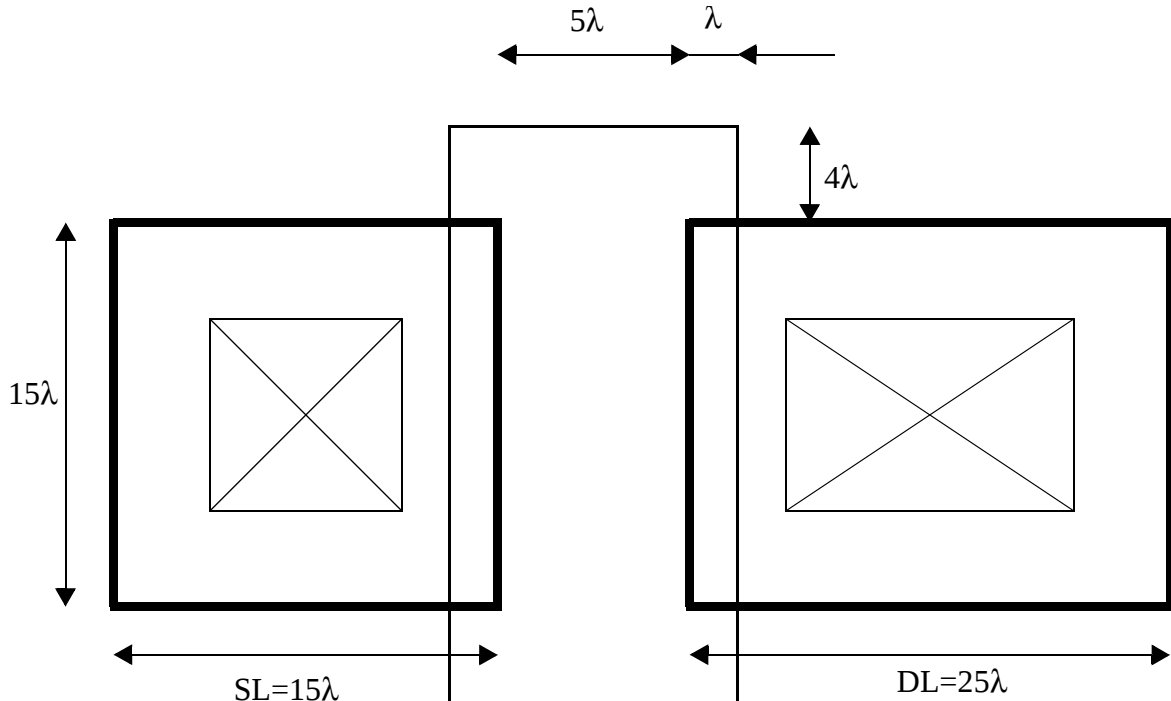
5.0 Modeller för estimering av R, C, och L i CMOS processer

5.1 Härled MOS transistorens kanalresistans i den linjära regionen.

5.2 Kan man genom att ändra dimensionerna på en signalledare för att minska RC faktorn? Motivera svaret.

Övningsuppgifter i Digital kretskonstruktion I

5.3 Bestäm C_G , C_{drain} och C_{source} för transistorn i figuren nedan.



$\lambda = 0.4\mu\text{m}$, $t_{\text{ox}} = 200\text{\AA}$, $t_{\text{fox}} = 2000\text{\AA}$, $C_J = 2.9 \times 10^{-4} \text{F/m}^2$, $C_{JSW} = 60 \text{pF/m}$, samt underdiffusion $d_u = 0.5\lambda$

6.0 Switching av CMOS

- 6.1 Härled uttrycken för stig- och falltider i CMOS inverteraren
- 6.2 Konstruera en 4-ingångars nor grind för symmetriskt omslag, samt bestäm den totala kapacitansen i grinden och jämför med en motsvarande grind i min. transistorer. antag att $C_{\text{gate}} = C_{\text{source}} = C_{\text{drain}} = C_g$ för en min. transistor.
- 6.3 Plotta fördröjningen i en inverterare som funktion av stig- och falltiderna. $\beta_n = 4.04 \times 10^{-4}$, $\beta_p = 3.48 \times 10^{-4}$, $v_{Tn} = 0.767$, $v_{Tp} = -0.938$, $V_{DD} = 5.0$, $C_L = 0.5 \text{pF}$
- 6.4 Jämför den enkla switch-level RC modellen med Penfield-Rubenstein modellen genom att plotta falltiderna för 2-,3-,4-ingångars nand-grindar.

- 6.5 Bestäm längsta fördröjningen genom det kombinatoriska nätet i uppgift 18.5 med följande data för grindarna och routing kapacitanser på 10fF på varje nät.

Table 1: Data för cellerna

	$t_{i,rise}[ns]$	$t_{i,fall}[ns]$	$k_{load,rise}[ns/pF]$	$k_{load,fall}[ns/pF]$	$C_{in}[fF]$
and	0.24	0.26	2.12	3.83	7
or	0.20	0.30	2.40	3.50	9

7.0 Effektförbrukning

- 7.1 Den dynamiska effektförbrukningen i en modul med logiska grindar har en switchingaktivitet $\alpha = 20\%$ på datasignalerna, den totala switchande kapacitansen uppskattas till 100pF. Vad blir effektförbrukningen vid 40MHz och $V_{DD} = 3.6V$ om man inte räknar med klocknätets effektförbrukning.

- 7.2 I ett logikblock som består av 1000 grindekvivalenter (=en 2-ingångars nand grind) så har man omslagstider på 5 ns på varje nät. Långa stig- och falltider leder till stora kortslutningsströmmar. Undersök om det är möjligt att få ner den totala effektförbrukningen genom att minska stig- och falltiderna.

$\beta_n = 221 \mu A/V^2$, $\beta_p = 80 \mu A/V^2$, $C_{source} = C_{drain} = C_{gate} = C_g = 5 \text{ fF}$, $C_{ledning} = 8 \text{ fF}$, medel-fanout = 3, $f_{ck} = 20\text{MHz}$, $\alpha = 20\%$

- 7.3 Dimensionera ett kaskadkopplat drivarsteg med optimal uppbuffring mellan varje steg för lasten C_L . Bestäm hur stor den switchande kapacitansen blir i buffringen uttryckt som ett förhållande till C_L . Antag att optimal faktor för uppbuffring är e , samt att kapacitansen i buffrarna enbart består av gate-gapacitansen C_G .

- 7.4 Estimera effektförbrukningen i ett chip med följande data:

Antal grindekvivalenter (2-ingångs nand): 30.000

Antal register: 9.000 bitar (inräknat i de 30.000 grindekvivalenterna)

Matningsspänning: $V_{DD}=3.3V$

$f_{ck} = 40 \text{ MHz}$

Max stig- och falltider på klocksignalen: 1.0 ns

Megaceller: 2st 128x8 enports-RAM, 8 st 64x14 tvåports RAM

IO: 14 stycken bi-direktionella pinnar (4mA), 8 stycken utgångspinnar (4mA)

Effektförbrukning i grindar: $5\mu W/MHz/grind$

Varje vippas last på klocknätet (klock-ingång + routing kapacitans): 38 fF

Varje utgång lastas med 30pF.

Medel switchingaktivitet i data: 20%

Övningsuppgifter i Digital kretskonstruktion I

Medel switchingaktivitet i IO: 40%

Strömförbrukning i RAM celler:

- 128x8 bits enport RAM: 6 mW

- 64x14 bits tvåport RAM: 87.75 mW

Effektförbrukning i IO:

- Bi-direktionella: $(292 + V_{DD}^2 C_L) \times f_{clk}$ (enheter är Volt, pF, μ W och MHz)

- Utgångar: $(121 + V_{DD}^2 C_L) \times f_{clk}$ (enheter är Volt, pF, μ W och MHz)

Den totala effektförbrukningen i klocknätet kan estimeras som:

$$P_{ck, total} = P_{load} \left(\frac{0.14}{t_r^2} + 1.065 \right)$$

där P_{load} = effektbidrag från vippornas last på clocknätet (clock-ingång + routinglast), t_r = maximal stig- och falltid på klocksignalen [ns]. Ange t_r i ns i formeln ovan-

- 7.5 Chippet i 7.4 har en timingmarginal i den mest kritiska datavägen på 17 ns. Hur mycket kan man få ner effektförbrukningen genom att sänka spänningen till den interna logiken (IO signalerna måste fortfarande hålla 3.3V).

8.0 Elektriska aspekter på systemnivå

- 8.1 Konstruera en utgångsdrivare som ska driva 50pF last på 5ns (från interna drivare: $W_p=W_n=4\mu\text{m}$, $L_p=L_n=1\mu\text{m}$, $k_p=30\mu\text{A/V}^2$, $k_n=90\mu\text{A/V}^2$, $V_{DD}=3\text{V}$) med minimal fördröjning.
- beräkna strömmen som 16 sådana drivare drar vid en klockfrekvens av 20MHz.
 - hur många V_{DD}/V_{SS} paddar krävs för att försörja dessa 16 drivare, om de levererar 16mA per par.
- 8.2 I en mikroprocessor drivs en utgångsbuss på 32 bitar av CMOS buffrar med låg impedans alla bitar samtidigt. Ledningsimpedansen, som buffrarna driver, är 50Ω och stigtiden är 2ns med ett spänningssving på 5V. Det största tillåtna variationen på matningsspänningen är 0.25V. Bestäm hur många par med V_{DD} och V_{SS} paddar som krävs för att uppnå detta krav. Varje par av V_{DD}/V_{SS} pad-anslutning har en induktans på 2nH.
- 8.3 En 6 tums wafer med 1 defekt/cm² kostar \$1000 att tillverka. Kretsen som ska tillverkas får plats på 10×10 mm som ett chip eller som fyra stycken chip som ryms på 5×5 mm. Kapseln kostar \$15.00 för 10×10 mm chippet och \$2.00 för 5×5 mm

chippet. Kostnaden för test är \$1.50 för båda. Bestäm vilket av dessa två chip som blir det billigaste alternativet (bortse från kostnader som uppstår på kretskorts nivå).

9.0 Dynamiska logikfamiljer

9.1 Konstruera en full adderare uppdelat i två steg i följande tekniker

- a) C^2MOS
- b) Domino Logik
- c) Statisk CVSL
- d) NORA
- e) TSPC

10.0 Logisk och fysisk konstruktion av CMOS grindar

- 10.1 Implementera en 8-ingångars nand grind med minsta möjliga stig- och falltid. De tillgängliga grindarna är ett obegränsat antal n-input nand- och nor grindar ($n=1..8$), där 1-input nand grind är en inverterare (!). Dessa grindar är konstruerade med min. transistorer endast. Routing kapacitansen $q(k)$ är 1.
- 10.2 Rita en symbolisk layout för en 3-ingångars nand grind.
- 10.3 Vad är viktigt att ta hänsyn till då man gör en standard cell layout.

11.0 Transmissiongrind och passtransistor-logik

- 11.1 Bestäm RC-faktorn i en transmissionsgrind där utgången är ansluten till en inverterare via en $200\mu m$ lång metalledare.
- 11.2 Implementera följande logiska funktioner med passtransistorlogik, använd transmissionsgrindar.
 - a) $Z=AB$
 - b) $Z=A+B$
 - c) $Z = A \text{ xor } B \text{ xor } C \text{ xor } D$
 - d) $Z = \overline{A}C + A\overline{B}C + \overline{A}BC$
- 11.3 Bestäm längsta fördröjningen i passtransistornätet i fallet d)
- 11.4 Rita en symbolisk layout av passtransistornätet i fallet d)

12.0 Klockstrategier

- 12.1 Vilka är för- och nackdelarna med enfasklockning jämfört med icke överlappande tvåfasklockning
- 12.2 Ta fram ett uttryck som beskriver maximal frekvens i ett
 - a) enfask-system

Övningsuppgifter i Digital kretskonstruktion I

b) tvåfas system (icke överlappande klockfaser)

12.3 Beskriv hur en digital klockgenerator för icke-överlappande klocka fungerar

13.0 Klockade element

13.1 Beskriv två tekniker för att göra statiska latchar och jämför dem (ta fram deras för- och nackdelar)

13.2 Beskriv för- och nackdelarna med RAM cells baserade latchar.

13.3 Varför har man invertering av klocksignalen i vippa i sk. enfas vippor baserade på transmissionsgrindar. (Man spara två transistorer per vippa om man distribuerar inversen av klocksignalen)

13.4 Beskriv tekniker för att förhindra felfunktion i ett system där *clock skew* finns.

14.0 Klockdistribution och synkronisering

14.1 Beskriv principen för faslåst slinga (Phase Locked Loop = PLL)

14.2 Beskriv varför PLL:er på chip är användbara.

14.3 Förklara i vilka situationer meta-stabilitet förekommer

14.4 En enkel och vanlig teknik att minska sannolikheten för synkroniseringsfel är att kaskadkoppla två d-vippor. Beräkna hur mycket lägre sannolikheten för ett synkroniseringsfel blir om man kaskadkopplar tre d-vippor istället.

$$f_{\text{clock}}=50\text{MHz}, f_{\text{data}}=25\text{MHz}, T_0=0.1\text{ns och } \tau_R=0.2\text{ns}.$$

14.5 Beskriv vilka faktorer som är viktiga att tänka på då man konstruerar ett klockdistributionsnät (ta in en- och tvåfasklockning i resonemanget).

15.0 IO-strukturer

15.1 Vad är det som bestämmer bondpaddens storlek och inom vilket storleksområde brukar de vara ?

15.2 Beskriv de faktorer som bestämmer vilken typ av utgångspad man väljer.

15.3 Beskriv ingångspaddarnas övergripande funktion samt beskriv de komponenter som ingår och deras funktioner.

15.4 Beskriv de faktorer som bestämmer hur många V_{DD} och V_{SS} paddar man behöver.

16.0 Konstruktionsflöde för VLSI chip I

16.1 Beskriv vilka tekniker används för att hantera komplexa digitala konstruktioner samt vilken funktion var och en av dessa tekniker har.

16.2 Ange de fördelar och nackdelar som hårdvarubeskrivande språk (t.ex. VHDL) har jämfört med schemainmatning.

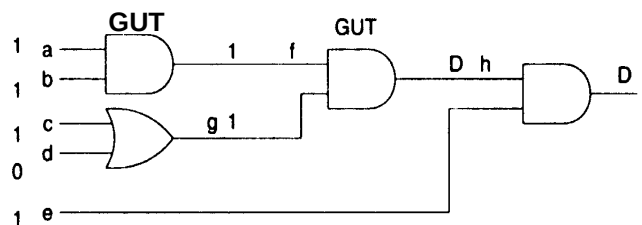
- 16.3 När i konstruktionsflödet måste konstruktionen verifieras ?
- 16.4 Beskriv vilka övervägande man måste göra vid val av simulator vid olika faser i konstruktionsarbetet.
- 16.5 Beskriv vad och hur man verifierar konstruktionen efter att layouten är färdig.

17.0 Konstruktionsflöde för VLSI chip II

- 17.1 Beräkna försäljningspris per komponent för en krets med arean 50 mm^2 .
Produktionstest: \$1 per komponent
Kapsel: \$4 per kapsel
Processering av krets: \$0.10/ mm^2
Ta ut 20% förtjänstmarginall på komponenten.

18.0 Testning

- 18.1 Beskriv problematiken med test av komplexa digitala integrerade kretsar.
- 18.2 Vilka vanliga modeller finns för att beskriva fel ?
- 18.3 Vad innebär det när man säger att en krets har hög testbarhet
- 18.4 Beskriv två olika metoder att bestämma feltäckningsgrad i en krets.
- 18.5 Ta fram testvektorer för att detektera SA0/SA1 fel i nedanstående krets. Samtliga möjliga vektorer ska tas fram.



- 18.6 Vilka konstruktionstekniker finns det för att öka testbarheten
- 18.7 Vilka fördelar finns det med inbyggd självtest ?
- 18.8 Beskriv hur full-scan fungerar med schema och timingdiagram.
- 18.9 Vad är I_{ddq} test ?