

Tentamen DigitalKretskonstruktion/Digitalkonstruktion II

Datum: 2000-01-12

Skrivningstid: 5 timmar

Hjälpmedel: Physics Handbook, miniräknare

Kursansvarig: Bengt Oelmann, tel: 060-148792 / 171311, e-post: Bengt.Oelmann@ite.mh.se

max antal poäng: 44

Anvisningar för inlämnade lösningar:

- Resonemang och motiveringar får ej vara så knapphändiga att de blir svåra att följa.
 - Införda beteckningar skall definieras.
 - Tankegången bakom uppställda ekvationer skall förklaras.
 - Uträkningar skall vara tillräckligt fullständiga för att visa hur slutresultatet erhållits.
 - Approximationer och antaganden skall motiveras och underkastas efterkontroll.
 - Ange svaren med lämpligt antal gällande siffror.
 - Varje problemlösning skall avslutas med ett klart formulerat svar.
-

UPPGIFTER

1. Konstruera statiska CMOS grindar för nedanstående logiska funktioner. Rita transistor-scheman (4 p)

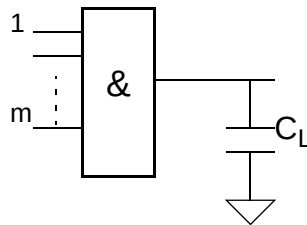
- a) $z_a = (m_0 \cdot \bar{m}_1) + (\bar{m}_0 \cdot m_1)$
- b) $z_b = f(a,b,c)$ enligt tabellen nedan.

a	b	c	z _b
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

2. Rita upp vertikalsnittet (genomsärning) för en statisk CMOS inverterare i en n-substrat process. så att dess fysiska struktur illustreras. Namnge även de olika lagren. (4 p)

3. Ta fram uttryck, som är baserat på en enkel RC-modell, för den längsta stigtiden samt längsta falltiden i en statisk *nand*-grind. Uttrycken ska beskrivas med följande: (6 p)

R_p (R_n)	den ekvivalenta on-resistansen för en pMOS (nMOS) av min. storlek
n	multiplikationsfaktor för transistorbredden (W)
k	<i>fan-out</i> (antal ingångar kopplade till grindens utgång, i enheter av inverterare av min. storlek)
m	<i>fan-in</i> för grinden
C_g	gate-kapacitansen för en inverterare av min. storlek
C_d	source/drain kapacitans för en transistor (pMOS eller nMOS) av min. storlek
C_r	ledningskapacitans

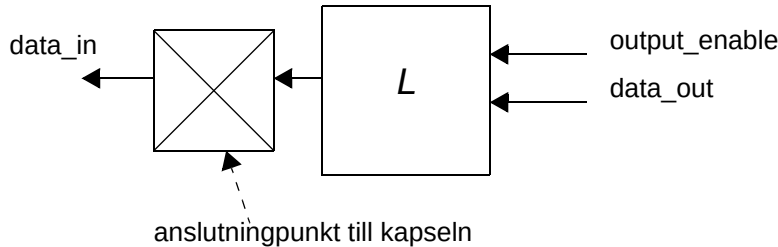


4. Ta fram en full-adderare i passtransistorlogik. (6 p)

5. Konstruera en toggle-vippa (T-vippa) i TSPC-teknik. Ledning: karakteristisk ekvation för T-vippan är $Q^+ = \bar{Q}$. (6 p)

6. Beskriv hur testning med *full-scan* fungerar genom att rita scheman och timingdiagram. Konstruera även en scan-vippa på transistornivå. (6 p).

7. Ta fram nödvändig logik (*L*) för en bi-direktionell pad, där *data_in* är signal in till chippet,



data_out är signal från chippet ut till kapselns pinne och *output_enable* är en kontrollsignal som ställer padden som antingen in- eller utgång. Låt padden vara ingång då *output_enable* är låg. (6 p)

8. a) Uppskatta effektförbrukningen i ett helt synkront chip med följande data:

	värde	kommentar
n_{gates}	60 000	antal grindar
n_{dff}	9 000	antal vippor
n_{out}	8	antal utgångar på chippet
n_{in}	14	antal ingångar på chippet
C_{ck}	28 fF	lasten som en vippa bidrar med till klocknätet
α_{logik}	0.10	medel-switchningsaktivitet i intern logik
α_{IO}	0.08	medel-switchningsaktivitet för utdata
V_{DD}	3.3 V	matningsspänning för intern logik
$V_{\text{DD,IO}}$	3.3 V	matningsspänning för in- och utpaddar
f	50 MHz	klockfrekvens
C_L	30 pF	lasten på utgångspaddarna
P_{gate}	3 μ W/MHz/gate	effektförbrukning i en grind per MHz vid $\alpha=1$

där effektförbrukningen i en utgångspad beräknas som:

$$P_{\text{out}} = \alpha \cdot (292 \cdot 10^{-12} + V_{\text{DD}}^2 \cdot C_L) \cdot f \quad [\text{W}]$$

b) Efter en *timing*-analys visar det sig att i den långsammaste signalvägen mellan två klockade vippor är det en tidsmarginal på 10 ns. Hur mycket kan vi reducera effektförbrukningen till om vi väljer att minska matningsspänningen till den interna logiken så att den långsammaste signalvägen precis uppfyller kravet på en klockfrekvens av 50MHz ? Grindarna fungerar med matningsspänning ner till 1.5 V. (6 p)

FORMELSAMLING

1:a ordningens ekvationer som beskriver nMOS transistorns beteende i de tre arbetsregionerna:

$$I_{DS} = 0; \quad V_{GS} - V_T \leq 0$$

$$I_{DS} = \beta_N \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad 0 < V_{DS} < V_{GS} - V_T$$

$$I_{DS} = \frac{\beta_N}{2} (V_{GS} - V_T)^2; \quad 0 < V_{GS} - V_T < V_{DS}$$

där

$$\beta_N = (\mu_n \epsilon_0 \epsilon_{SiO_2} / t_{ox}) \cdot (W/L); \quad \beta_P = (\mu_p \epsilon_0 \epsilon_{SiO_2} / t_{ox}) \cdot (W/L)$$

$$V_T = V_{T0} + \gamma (\sqrt{|V_{SB}| + 2|\phi_B|} - \sqrt{2|\phi_B|})$$

Dynamisk effektförbrukning i CMOS:

$$P_{dynamisk} = C \cdot V_{DD}^2 \cdot \frac{1}{T}$$

Approximation av stig- och falltid i en CMOS grind:

$$t = k \times \frac{C}{\beta \cdot V_{DD}} \quad \text{där } k \text{ är en teknologikonstant och } C \text{ kapacitiv last}$$

Symbol	Förklaring
β	MOS transistorns transkonduktans parameter [A/V ²]
μ_n	elektronmobilitet [m ² /Vs]
μ_p	hålmobilitet [m ² /Vs]
ϵ_0	permabilitet $8.854 \cdot 10^{-12}$ [As/Vm]
ϵ_{SiO_2}	di-elektrisk konstant för kiseldioxid (3.9)
t_{ox}	tjocklek för gate-oxiden
W	kanalbredd [m]
L	kanallängd [m]
V_T	tröskelspänning [V]
V_{T0}	tröskelspänning vid $V_{SB}=0$ [V]
γ	bulk-tröskel parameter [V ^{0.5}]
V_{SB}	Source till bulk spänning [V]
ϕ_B	Ytpotential vid kraftig inversion [V]
C	switchande kapacitans [F]
T	klockperiod [s]
α	sannolikheten att en datasignal gör en transition under en klockperiod
