Tentamen Digitalkonstruktion I 3p

Datum: 2000-06-03
Tid: 5 timmar
Hjälpmedel: Miniräknare
Kursansvarig: Bengt Oelmann, tel: 148792 eller 171311, e-post: bengt@ite.mh.se

max. antal poäng: 24p

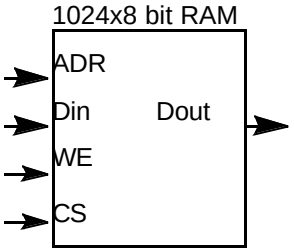
Anvisningar för inlämnade lösningar:

- Resonemang och motiveringar får ej vara så knapphändiga att de blir svåra att följa.
- Införda beteckningar skall definieras.
- Tankegången bakom uppställda ekvationer skall förklaras.
- Uträkningarna skall vara tillräckligt fullständiga för att visa hur slutresultatet erhållits.
- Approximationer ska motiveras och underkastas efterkontroll.
- Ange svaren med lämpligt antal gällande siffror
- Varje problemlösning skall avslutas med ett klart formulerat svar.

UPPGIFTER

1. Skriv VHDL-kod för en kombinatorisk krets som omvandlar tal mellan 0 och 9 givna i ASCII-kod till binär kod. Se bifogad ASCII tabell. *(4 p)*

2. Konstruera ett RAM minne med storleken 4096x8 bitar (4kbytes) baserat på 1024x8 bitar RAM komponenter (1kbyte). Rita blockdiagram. *(4p)*



ADR: adress, 10 bitar
Din: data in, 8 bitar
Dout: data ut, 8 bitar
WE: *Write enable*, WE=1: skriv data (Din) i RAM, WE=0: läs data från RAM (Dout)
CS: *Chip Select,* CS=1: aktiverar minneskretsen, CS=0: inget data kan skrivas i kretsen och Dout är i three-state (Z).

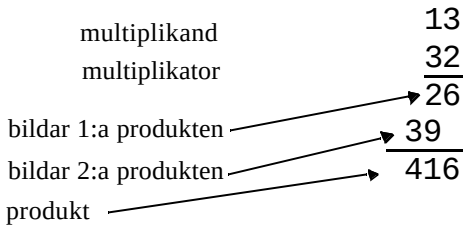
3. Konstruera en excess-3 räknare m.h.a en 74x163 (se bifogad beskrivning). Räknaren ska alltså räkna decimalt från 0 till 9 i excess-3 kod (se bifogad beskrivning) *(4p)*

4. Vad är den maximala klockfrekvensen för ett skiftregister som är uppbyggt med D-vippor med följande timing data: *(2p)*

fördröjning	**[ns]**	**kommentar**
t_{hold}	2	hålltid
t_{setup}	1	setup-tid
t_{pCQ}	5	fördröjning från klockflank till Q-utgång

5. I de flesta typer av konstruktioner betraktas multiplikation som en komplex operation som både tar lång tid att utföra och kräver mycket logik för att implementera. En multiplikation kan implementeras som ren kombinatorik. För att reducera komplixiteten kan man dela upp multiplikationen i flera klockcykler som resulterar i enklare logik men multiplikationen görs istället under ett antal klockcykler. För att kontrollera vad som ska ske under de olika klockcyklerna måste beräkningsenheterna (datavägarna, eng. *data paths*) styras av en tillståndsmaskin (FSM). I den här uppgiften ska en addera-och-skifta multiplikator konstrueras. Multiplikationen går till på samma sätt som i grundskolan: multiplikanden multipliceras men en siffra av multiplikatorn, och för varje mer signifikant siffra

av multiplikatorn skiftas delprodukten vänster. Exempel (decimala tal):
Utför multiplikationen 13·32 = 416



Efter det att en delprodukt har bildats kan den adderas till den tidigare summan av delprodukter.

Konstruera en skifta-och-addera multiplikator som kan multiplicera två positiva 3-bitars tal som resulterar i en produkt på 6-bitar. Multiplikationen ska initieras med en start-signal och då multiplikationen är färdig ska detta indikeras med en färdig-signal. Produkten ska ligga kvar tills det att nästa multiplikation har startats. Konstruktionen ska skrivas i syntetiserbar VHDL-kod. Multiplikatorn ska delas upp i flera komponenter som kopplas samman strukturellt.

a) Rita ett blockdiagram över *skifta-och addera multiplikatorn* med tillhörande beskrivning av varje komponents funktion. (*2p*)
b) Rita ett timing diagram för multiplikationen. (*2p*)
c) Beskriv hela multiplikatorn i VHDL kod med en entitet för varje komponent i blockdiagrammet i a) samt en entitet för sammankopplingen av komponenterna i a). (*6p*)

Appendix:

Table 2–11 American Standard Code for Information Interchange (ASCII), Standard No. X3.4–1968 of the American National Standards Institute.

		$b_6b_5b_4$ (column)							
$b_3b_2b_1b_0$	Row (hex)	000 0	001 1	010 2	011 3	100 4	101 5	110 6	111 7
0000	0	NUL	DLE	SP	0	@	P	‘	p
0001	1	SOH	DC1	!	1	A	Q	a	q
0010	2	STX	DC2	"	2	B	R	b	r
0011	3	ETX	DC3	#	3	C	S	c	s
0100	4	EOT	DC4	$	4	D	T	d	t
0101	5	ENQ	NAK	%	5	E	U	e	u
0110	6	ACK	SYN	&	6	F	V	f	v
0111	7	BEL	ETB	’	7	G	W	g	w
1000	8	BS	CAN	(	8	H	X	h	x
1001	9	HT	EM	)	9	I	Y	i	y
1010	A	LF	SUB	*	:	J	Z	j	z
1011	B	VT	ESC	+	;	K	[	k	{
1100	C	FF	FS	,	<	L	\	l	|
1101	D	CR	GS	-	=	M	]	m	}
1110	E	SO	RS	.	>	N	^	n	~
1111	F	SI	US	/	?	O	_	o	DEL

Decimal digit	BCD (8421)	2421	Excess-3	Biquinary	1-out-of-10
0	0000	0000	0011	0100001	1000000000
1	0001	0001	0100	0100010	0100000000
2	0010	0010	0101	0100100	0010000000
3	0011	0011	0110	0101000	0001000000
4	0100	0100	0111	0110000	0000100000
5	0101	1011	1000	1000001	0000010000
6	0110	1100	1001	1000010	0000001000
7	0111	1101	1010	1000100	0000000100
8	1000	1110	1011	1001000	0000000010
9	1001	1111	1100	1010000	0000000001

Table 9–1 State table for a 74x163 4-bit binary counter.

Inputs				Current State				Next State			
/CLR	/LD	ENT	ENP	QD	QC	QB	QA	QD*	QC*	QB*	QA*
0	x	x	x	x	x	x	x	0	0	0	0
1	0	x	x	x	x	x	x	D	C	B	A
1	1	0	x	x	x	x	x	QD	QC	QB	QA
1	1	x	0	x	x	x	x	QD	QC	QB	QA
1	1	1	1	0	0	0	0	0	0	0	1
1	1	1	1	0	0	0	1	0	0	1	0
1	1	1	1	0	0	1	0	0	0	1	1
1	1	1	1	0	0	1	1	0	1	0	0
1	1	1	1	0	1	0	0	0	1	0	1
1	1	1	1	0	1	0	1	0	1	1	0
1	1	1	1	0	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1	1	0	0	0
1	1	1	1	1	0	0	0	1	0	0	1
1	1	1	1	1	0	0	1	1	0	1	0
1	1	1	1	1	0	1	0	1	0	1	1
1	1	1	1	1	0	1	1	1	1	0	0
1	1	1	1	1	1	0	0	1	1	0	1
1	1	1	1	1	1	0	1	1	1	1	0
1	1	1	1	1	1	1	0	1	1	1	1
1	1	1	1	1	1	1	1	0	0	0	0

The RCO (Ripple carry out") signal indicates a carry from the most significant bit position, and is 1 when all of the count bits are 1 and ENT is 1.