

Tentamen Digitalkonstruktion I, 3p

Datum: 2001-08-27

Tid: 5 timmar

Hjälpmedel: Miniräknare

Kursansvarig: Bengt Oelmann, tel: 060-148792, 060-171311, 070-2600387, e-post:
bengt@ite.mh.se

max. antal poäng: 100

antal sidor: 3

Anvisningar för inlämnade lösningar:

- Resonemang och motiveringar får ej vara så knapphändiga att de blir svåra att följa.
- Införda beteckningar skall definieras.
- Tankegången bakom uppställda ekvationer skall förklaras.
- Uträkningarna skall vara tillräckligt fullständiga för att visa hur slutresultatet erhållits.
- Approximationer ska motiveras och underkastas efterkontroll.
- Ange svaren med lämpligt antal gällande siffror.
- Varje problemlösning skall avslutas med ett klart formulerat svar.

UPPGIFTER

- Beskriv de olika språkhierarkierna som finns i VHDL.
 - Beskriv skillnaden mellan konstruktionshierarki och språkabstraktion.
 - Vad betyder -- i koden ?(6 p)
- Förenkla uttrycken nedan, given i VHDL, så långt det är möjligt:
 $f \leq (a \text{ and } b) \text{ or } (c \text{ and } (w \text{ xor } z));$ (6 p)
- Skriv VHDL koden som beskriver en positivt flank-triggad D-vippa med synkron reset. Skriv både entitetsdeklarationen och arkitektur. (8 p)
- Beskriv hur händelser vid simulering av nedanstående VHDL kod schemaläggs. Antag att $a='1'$, $b='0'$ och $x='0'$ vid simuleringstid 0 ns samt att b blir '1' vid tiden 10 ns. (14 p)

```
p6: process(a,b)
begin
  x <= '1';
  if b = '1' then
    x <= '0';
  end if;
end process p6;
```

Använd förslagsvis en tabell av följande format vid beskrivning av schemaläggning:

tid	a,b,x	drivare	kommentar
0 ns	1,0,0	värde/tid-par	aktiveras p.g.a
:			
:			

- Ange värden som returneras av attributen givna i tabellen (6 p)

```
subtype my_type1 is integer range 16 downto 2;
subtype my_type2 is integer range 2 to 16;
type my_type3 is (Adam, Bertil, Ceasar);
type my_type4 is my_type3 range Bertil downto Adam;
```

kod	returnerat värde
my_type1'left	?
my_type1'right	?
my_type2'low	?
my_type2'length	?
my_type3'succ(Adam)	?
my_type4'pred(Adam)	?

6. Vad blir syntesresultatet av nedanstående VHDL-kod ? Rita ett schema. (8 p)

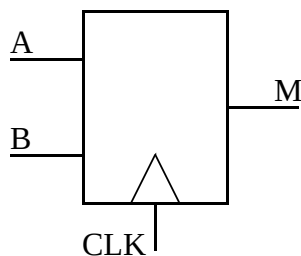
```

process (abus)
begin
  if abus = "111" then
    all_ones <= '1';
  end if;
end process;

```

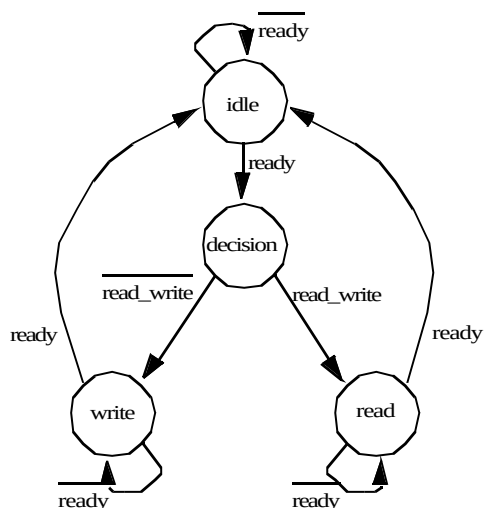
7. Skriv VHDL kod för en 7-segmentsavkodare. (16 p)

8. Skriv VHDL kod för följande funktion. Kretsen tar in två tal på vardera 7 bitar (A och B) Det största av dessa två tal klockas in i ett register på positiv klockflank och visas på utgången M.(16 p)



9. Skriv VHDL kod för tillståndsmaskinen given i tillståndsgraf och med tillståndskodning och utgångsvärden enligt tabellen nedan. (20 p)

Tillståndsgraf



tillstånds- och utgångstabell

state	state code	outputs	
		oe	we
idle	00	0	0
decision	11	0	0
write	01	0	1
read	10	1	0

Gränssnitt

