

Tentamen Digitalkonstruktion I 3p

~~Datum: 1999-08-16~~



Tid: 9.00 - 14.00

Hjälpmedel: Miniräknare

Kursansvarig: Bengt Oelmann, tel: 148792, e-post: bengt@ite.mh.se

max. antal poäng: 24p

Anvisningar för inlämnade lösningar:

- Resonemang och motiveringar får ej vara så knapphändiga att de blir svåra att följa.
- Införda beteckningar skall definieras.
- Tankegången bakom uppställda ekvationer skall förklaras.
- Uträkningarna skall vara tillräckligt fullständiga för att visa hur slutresultatet erhållits.
- Approximationer ska motiveras och underkastas efterkontroll.
- Ange svaren med lämpligt antal gällande siffror
- Varje problemlösning skall avslutas med ett klart formulerat svar.

UPPGIFTER

1. Ta fram en 4-16 binär-avkodare uppbyggd av ett antal 2-4 avkodaren som har enable-signal. (4 p)

- Redovisa det logiska uttrycket samt logiskt schema för 2-4 avkodaren.
- Redovisa schema för 4-16 avkodaren som är uppbyggd av 2-4 avkodare

2. Ett läsminne (ROM) kan man betrakta som ett kombinatoriskt nät. Konstruera en 2-bitars adderare utan carry-in eller carry-out, m.h.a ett ROM-minne. (6p)

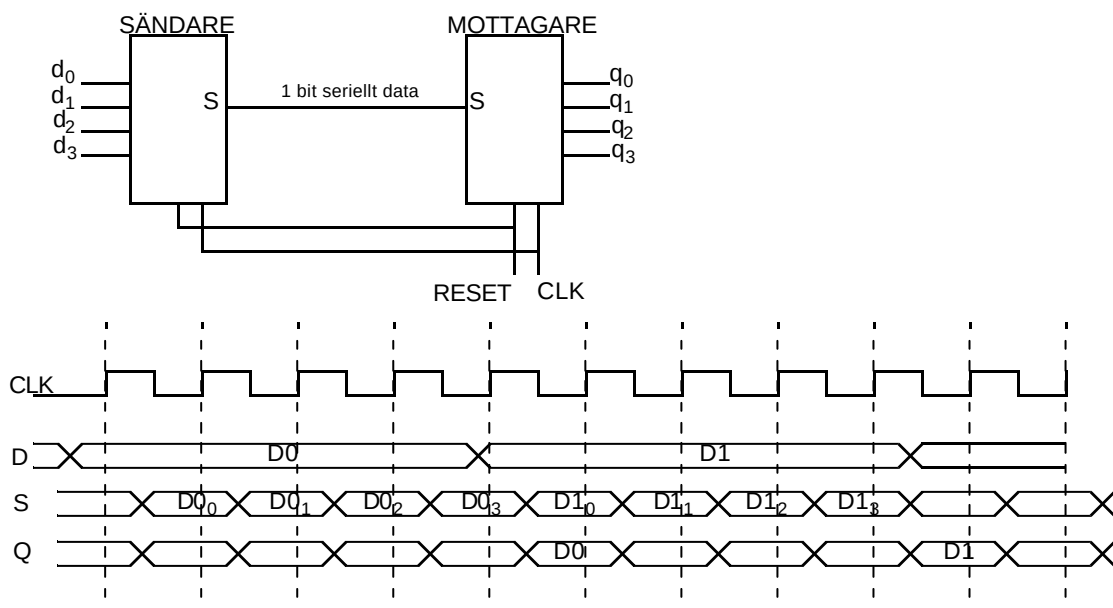
- Bestäm minnets storlek och innehåll (skriv i form av en tabell)
- Rita upp den interna strukturen för ROM-minnet i form av ett diod-ROM. Då det gäller datainnehållet så är det tillräckligt att rita in datat för de två första adresserna.

3. Konstruera en modulo-8 räknare med räknesekvensen ... 2, 3, 4, 5, 6, 7, 8, 9, 2, ... m.h.a en 74x163 (se sista sidan för beskrivning) samt valfritt antal logiska grindar. (4p)

4. Vad är det maximalt tillåtna clock-skew i ett skiftregister uppbyggd av D-vippor med följande data: (2p)

fördröjning	[ns]	kommentar
t_{hold}	2	hålltid
t_{setup}	1	setup-tid
t_{pCQ}	5	fördröjning från klockflank till Q-utgång

5. Konstruera ett system för bit-seriell överföring från en sändare till en mottagare.



I figuren ovan så betecknar D det parallella dataordet (d_0, d_1, d_2, d_3) som ska sändas över på den seriella ledningen, Q betecknar det parallella dataordet på utgången (q_0, q_1, q_2, q_3) och S det seriella datat där $D0_0$ betecknar bit 0 i dataordet 0 ($D0$) och $D0_1$ bit 1 i dataordet 0, o.s.v. Det tar 4 klockcykler att föra över det parallella dataordet D till mottagaren. Det mottagna ordet ska finnas tillgängligt på mottagarens utgångar (Q) var 4:e klockcykel (se timing diagrammet).

- a) konstruera sändare och mottagare. Använd grundkomponenter som t.ex avkodare, multiplexrar, de-multiplexrar, tillståndsmaskiner, register av olika slag mm. Redovisa tillståndsmaskinens funktion i form av en tillståndsgraf och rita ett blockschema av sändare och mottagare bestående de använda grundkomponenterna. (4p)
- b) Modifiera konstruktionen så att den kan sända med en extra bit som är den jämna pariteten av D , på slutet av varje överfört ord. Mottagaren ska också beräkna den jämna pariteten av det överförda datat för att sedan jämföra det med paritetsbiten som beräknades av sändaren. Om dessa två är lika så ska utsignalen OK vara '1', annars '0'. Överföringen kommer nu att ske under 5 klockcykler istället för 4. Redovisa nödvändiga förändringar (2p)
- c) Skriv syntetiserbar VHDL-kod för tillståndsmaskinen i a) (2p)