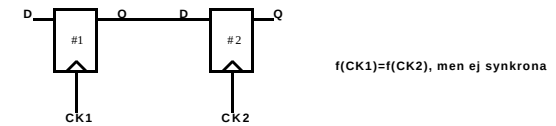


F11: Klockdistribution och synkronisering

- Målsättning
 - Eftersom i stort sett alla digitala konstruktioner använder sig av abstraktionen synkronism, så behandlas:
 - hur man kan upprätthålla synkronism
 - hur man i de fall synkronism inte kan bibehållas minimerar sannolikheten för fel
- Innehåll
 - Faslåsta slingor (PLL = Phase Locked Loop)
 - Meta-stabilitet och synkroniseringsfel
 - Principer för klockdistribution

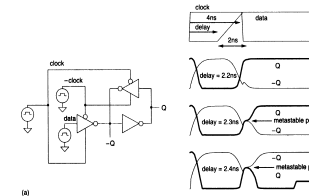
1 (17)

Meta-stabilitet och synkroniseringsfel



Om data in till DFF#2 ändrar värde på stigande flank av CK2 kan utgången av DFF#2 hamna i meta-stabilt läge, ett värde som ligger mellan de definierade logiska nivåerna '0' och '1'.

Det är viktigt att utgången så snabbt som möjligt antar ett definierat tillstånd.



2 (17)

Sannolikheten för synkroniseringsfel

- Medeltiden mellan synkroniseringsfel kan beskrivas som:

$$MTBF(t_f) = \frac{1}{f_c f_d T_0 e^{-\frac{t_f}{\tau_R}}}$$

f_c klockfrekvens

f_d datafrekvens

τ_R tidskonstant som bestäms av latchens design - hur snabbt den kan gå ur meta-stabilt tillstånd

T_0 parameter som bestäms av designen av latchen - hur effektivt en tidsskillnad mellan signalerna kan omvandlas till en spänningsskillnad i den meta-stabila noden i latchen

t_f är det tidskrav man har på latchen att finna ett stabilt tillstånd

Exempel:

Bestäm MTBF under följande villkor: $f_c = 50\text{MHz}$, $f_d = 100\text{kHz}$,

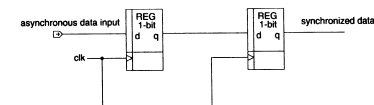
latch data är $T_0 = 0.1\text{ ns}$ och $\tau_R = 0.2\text{ ns}$

Kravet på den latchade signalen är $t_f = 10\text{ ns}$, under antagande att logiken tar halva cykeln och resten får gå till synkronisering.

$$MTBF(10 \times 10^{-9}) = \frac{1}{50 \times 10^6 \times 100 \times 10^3 \times 0.1 \times e^{-100 \times 10^{-9} / 0.2 \times 10^{-9}}} = 1 \times 10^{10} \text{ s} \approx 317 \text{ år}$$

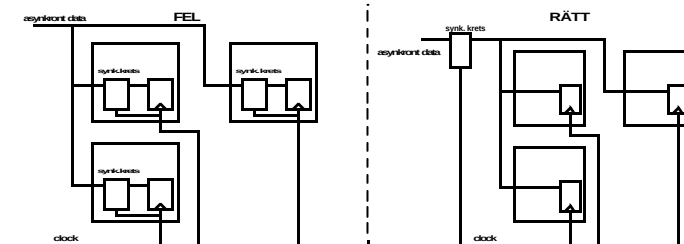
3 (17)

Enkel synkroniseringskrets



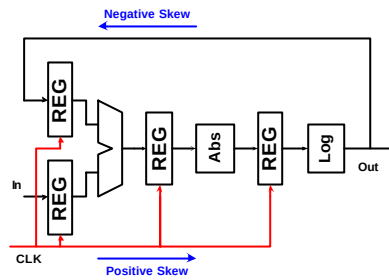
Meta-stabiliteten ges en hel klockperiod till att gå i stabilt tillstånd

- Asynkront data ska bara synkroniseras på ett ställe i ett synkront system !



4 (17)

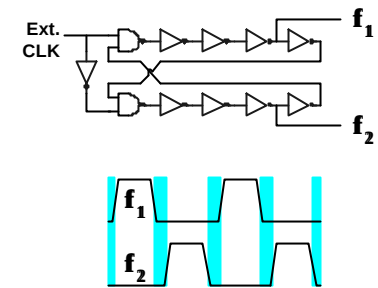
Clock skew



Clock and data routing

5 (17)

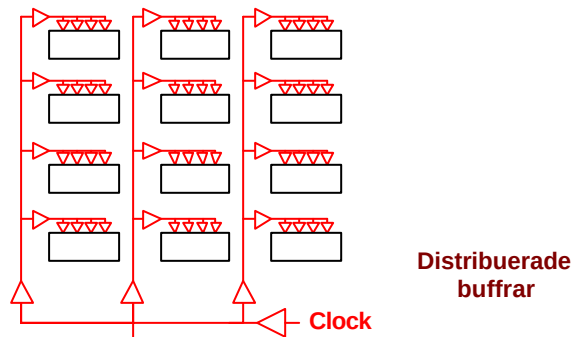
Clock skew



Large skew require large non-overlap

6 (17)

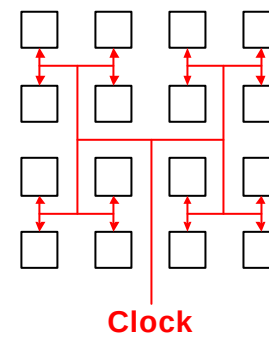
Balanserat klockdistributionsnät



Alla ledningar och buffrar är noggrannt balanserade

7 (17)

Klockdistribution: H-träd

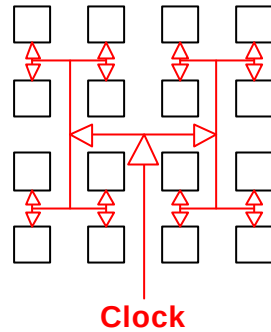


liten relativ clock skew

fördröjningen i klockträdet kan vara stort

8 (17)

Distribuerade buffrar



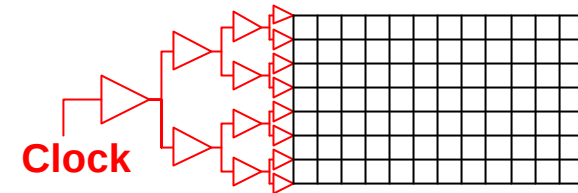
liten relativ clock skew

fördröjningen i klockträdet kan vara stort

9 (17)

Klock-grid

klocknät med låg impedans



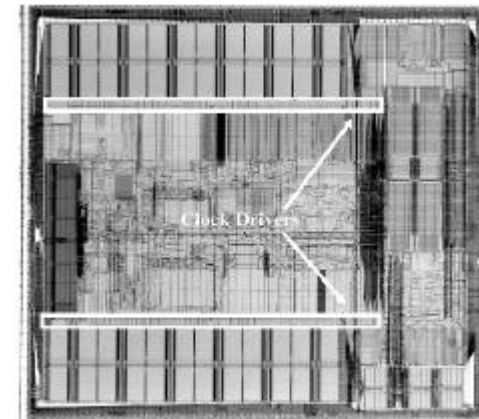
10 (17)

Exempel: Alpha 21164

Clock Frequency	300MHz (0.55um)
Transistors	10 Million
Total Clock Load	3.75nF
Clock Power	20W (of 50W)
Clock Levels	2
Driver Size	58cm
Clock Grid	
TSPC	

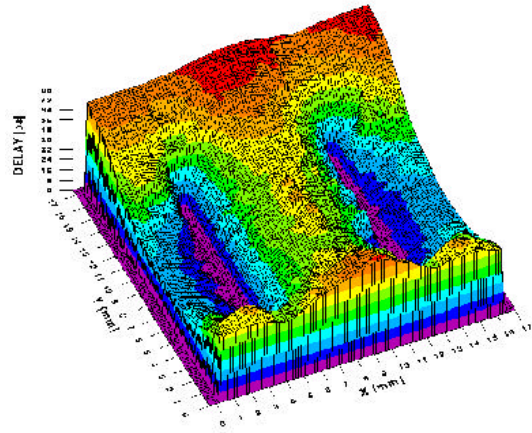
11 (17)

Exempel: Alpha 21164, layout



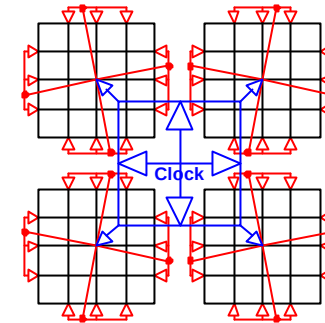
12 (17)

Fördröjningar i klockdistributionen



13 (17)

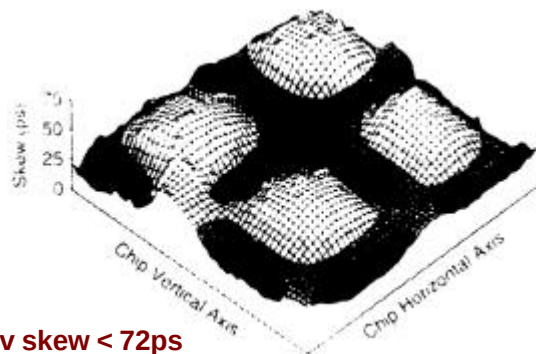
600 MHz Alpha



Fyra klock-grider under ett balanserat klocknät

14 (17)

600 MHz Alpha

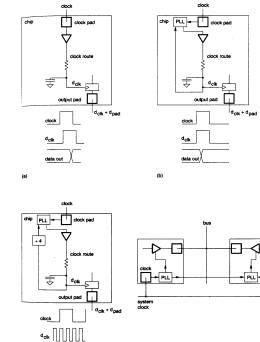


Relativ skew < 72ps

15 (17)

Faslåsta slingor (PLL)

- PLL:er på chip används för
 - att synkronisera intern klocka med extern klocka
 - att kunna använda en extern klocka med lägre klockfrekvens än chip-klockan



16 (17)

PLL blockschema

