F14: Testning

- Målsättning
  - Visa de metoder och modeller som används för att hantera fel i kretsar.
  - Presentera de vanligaste konstruktionsteknikerna för ökad testbarhet.
- Innehåll
  - Motivation
  - Felmodeller
  - Produktionstest
  - Feltäckningsgrad
  - Testvektorgenerering
  - D-algoritmen
  - Konstruktionsstrategier för test
  - Iddq test

Testning

- Testning av komponenten har till syfte att bestämma om kretsen är fri från fabrikationsfel.
- Skillnad mellan testning och funktionell verifiering bör göras (funktionell verifiering görs i simulator före tillverkning)
- Test av chip kan göras
  - på wafer nivå
  - kapsel nivå
  - kretskorts nivå
  - system nivå
  - i fält
- Ju tidigare ett chip med fabrikationsfel hittas desto billigare kan det åtgärdas
  - wafer 0.01 - 0.1 USD
  - kapslat chip 0.1 - 1.0 USD
  - kretskort 1 - 10 USD
  - system 10 - 100 USD
  - i fält 100 - 1000 USD

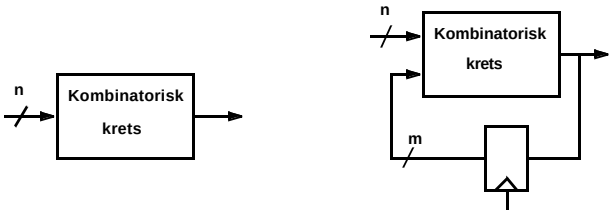
Produktionstester

- Typiska defekter som kan uppstå vid tillverkning
  - lager-till-lager kortslutning
  - avbrott i ledare
  - kortslutning genom tunnoxid till substrat eller *well*
- Detta kan leda till fel som
  - noder kortslutna till V_{DD} / V_{SS}
  - noder som är kortslutna till varandra
  - icke anslutna ingångar och utgångar
- Produktionstester ska detektera dessa fel och se till att alla grindar och register fungerar

- IO test
  - IO nivåer (kontroll av brusmarginaler, t.ex TTL, ECL, CMOS)
  - hastighetstest
  - I_{DD} test

Testproblemet

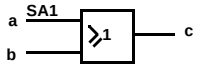
- Uttömmande test



- Kombinatorik: 2^n testvektorer
- Sekventiell logik: $2^{(n+m)}$ testvektorer
- Om n=25, m=50 och varje tillstånd tar 1µs, så tar det 1 miljard år att testa

Felmodeller

- En felmodell införs för att kunna hantera begrepp som *felaktiga kretsar*
- Vanlig felmodell är "stuck-at" modellen
  - stuck-at-0 (SA0), noden är satt till V_{DD}
  - stuck-at-1 (SA1), noden är satt till V_{SS}
  - Exempel:



ingången är alltid låst till 1 (SA1) och felet kan testas genom att sätta båda ingångarna a och b till 0.

Testbarhet = Observerbarhet + Kontrollerbarhet

- Observerbarhet
  - möjligheten att kunna observera varje nods värde på utgångarna
  - I utgångsläget har en IC mycket dålig observerbarhet
  - Genom att använda olika konstruktionstekniker kan man öka observerbarheten
- Kontrollerbarhet
  - är ett mått på hur lätt man kan ändra en intern nods tillstånd

Feltäckningsgrad (FTG)

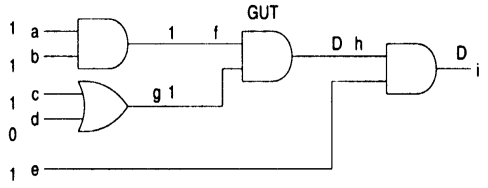
- FTG är ett mått på hur bra ett testmönster kan detektera ett fel i kretsen
- FTG bestäms genom att
  - simulera en felfri krets (good machine, golden device) och observera utsignalerna
  - för varje nod i kretsen: sätt en nod till 0 (single SA0); simulera; observera utsignalerna
  - om utgångarna skiljer sig från utsignalerna från en felfri krets så har testmönstret detekterat felet
  - för varje nod i kretsen: sätt en nod till 1 (single SA1); simulera; observera utsignalerna
  - om utgångarna skiljer sig från utsignalerna från en felfri krets så har testmönstret detekterat felet

$$FTG = \frac{\text{antal detekterade fel}}{\text{antal simulerade SA0/1 fel}}$$

  - detta är en mycket tidskrävande procedur

- Felsimulering är tidskrävande
- D-algoritmen är vanlig i verktyg för automatisk generering av testmönster (Automatic Test Pattern Generation = ATPG)
- D-algoritmen arbetar med fem tillstånd
  - '1' = logisk etta
  - '0' = logisk nolla
  - 'X' = don't care
  - D = '1' i en felfri krets och '0' i en felaktig krets
  - $\overline{D}$ = '0' i en felfri krets och '1' i en felaktig krets

- Procedur
  - För nod n där SA0 (SA1) ska detekteras sätts till D ($\overline{D}$)
  - Välj ingångar så att D ($\overline{D}$) propagerar till de primära ingångarna
  - Välj ingångar så att noden n sätts till tillståndet D ($\overline{D}$)
- Exempel

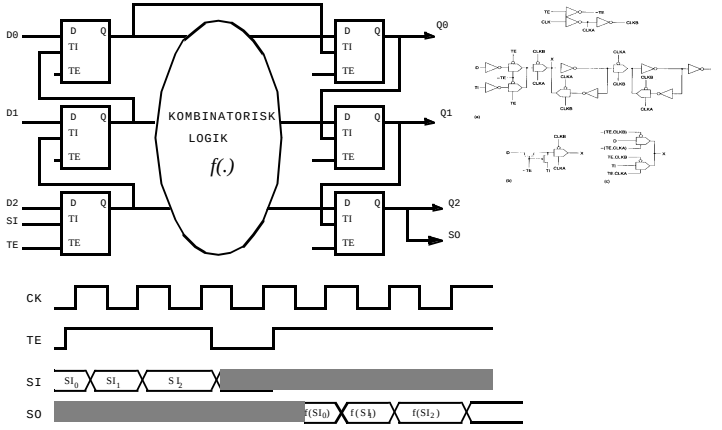


Konstruktionsstrategier för test

- Att konstruera för testbarhet innebär att man ökar
  - observerbarheten
  - kontrollerbarheten
- Konstruktionstekniker för ökad testbarhet
  - ad-hoc testning
  - scan-baserad testning
  - inbyggd självtest
- Ad-hoc - ett samlingsnamn för diverse tekniker
  - dela upp stora sekventiella kretsar
  - lägga till testpunkter
  - lägga in multiplexrar
  - reset-logik för att enkelt sätta kretsen i ett visst tillstånd

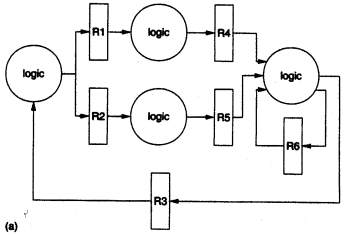
Ad-hoc lösningar brukar vanligtvis användas i de fall då en strukturerad teknik inte lyckas testa vissa delar av kretsen

Scan baserad test



Partial scan

- I full-scan ska alla register ingå i en scan-kedja
- scan-register är långsammare än vanliga register och i kritiska vägar vill man då undvika scan-register
- I en pipeline är endast första och sista registren i scan-kedjan

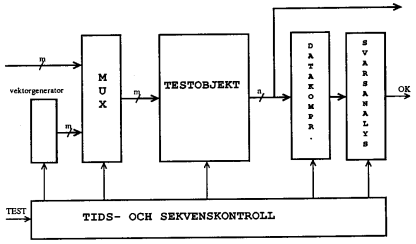


Full scan: samtliga register är scan-register (R1, R2, R3, R4, R5, R6)

Partial scan: endast register på utgången av sista logikblocket är scan-register (R3,R6)

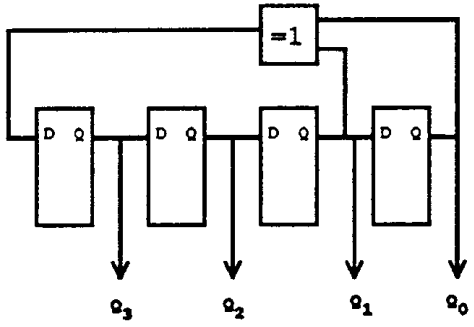
Inbyggd självtest (Built-In Self Test)

- Funktioner som ingår i BIST
  - funktion för att generera testvektorer (testvektorgenerator)
  - funktion för att isolera testobjektets normala ingångar för att istället koppla dem till testvektorgeneratorn (MUX)
  - funktion för att komprimera testobjektets svarsvektorer (datakompressor)
  - funktion för att analysera kretsens svar (svarsanalysator)
  - funktion för tid och sekvenskontroll av testsekvensen



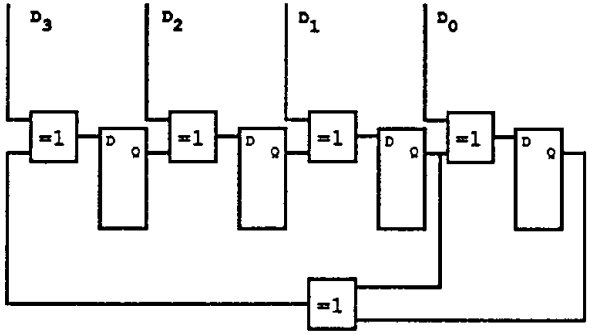
LFSR kopplat som testvektorgenerator

- Genom att initiera vipporna till ett värde skiljt från 0000, genererar LFSR en pseudo-random sekvens som är 2^n-1 lång



LFSR kopplat som en datakomprimerare

- Datakomprimering som är baserad på LFSR bildar en signatur som beror på hela sekvensen som läggs på ingångarna



Sammanfattning om BIST

- den är lätt att implementera, testlogiken är en fristående modul
- den tar liten yta
- den har kort testtid, kan köras i full hastighet
- det är lätt att genomföra testen, ingen yttre utrustningen krävs
- Ger OK/Fail respons - går ej att analysera var i kretsen det går fel

I_{DDQ} testning

- I_{DDQ} testning är en effektiv standardmetod för statisk digital CMOS
- utnyttjar det faktum att den statiska strömförbrukningen i CMOS är liten (läckström)
- Kortslutningsfel och icke anslutna ingångar kan medföra ström från V_{DD} till V_{SS}
- Kretsar som drar statisk ström (nMOS lösningar, analoga kretsar, RAM/ROM) måste *disablas* under test
- Ger en massiv parallell observerbarhet

Summering

- Produktionstest ska detektera tillverkningsfel innan kapsling av chippet.
- Konstruktion för testbarhet ska resultera i större kontrollerbarhet och observerbarhet.