

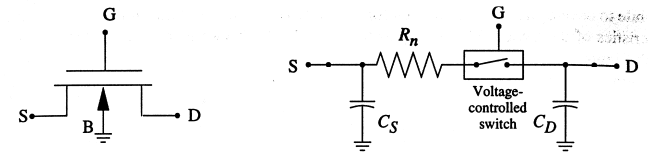
F5: Modeller för estimering av R,C och L i CMOS processer

- Målsättning:
 - Ge en beskrivning av modeller som kan användas till att estimeras resistans, kapacitans och induktanser som förekommer i CMOS processer. Detta är grunden för att kunna estimeras prestandan för CMOS kretsar
- Innehåll:
 - Förenklad MOSFET modell
 - Estimering av resistanser
 - Estimering av kapacitanser
 - Estimering av induktanser

1 (2 4)

RC-modell för MOSFET - motivation

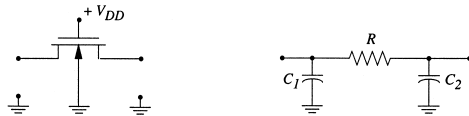
- Noggrann elektrisk karakterisering av en komponent kräver I-V relationerna samt parasitelement som kommer sig av komponentens fysiska struktur.
- En förenklad modell är nödvändig för att:
 - göra grova numeriska uppskattningar som är grund för konstruktion och analys
 - man ska förstå ett stort antal CMOS kretsar oberoende dess komplexitet
- Förenklad nMOS modell



2 (2 4)

RC-modell för MOSFET

- En RC-modell för MOSFET införs för att m.h.a RC-nät
 - ge insikt i prestanda karakteristik
 - ge konstruktionskriterier
- Enkel RC-modell



- Definition av MOSFET resistans

$$R = \frac{1}{\beta(V_{DD} - V_T)} \quad [\Omega]$$

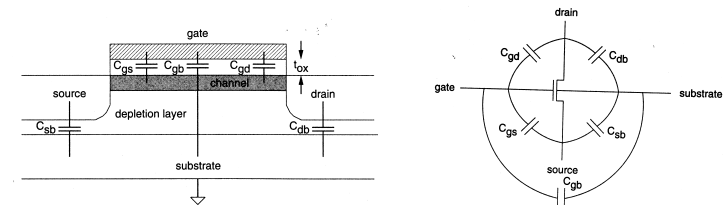
- Kvalitativ tolkning

$$R \propto \frac{1}{W} \quad \text{för ett givet } L$$

3 (2 4)

Kapacitanser i MOSFET (MOS-baserade)

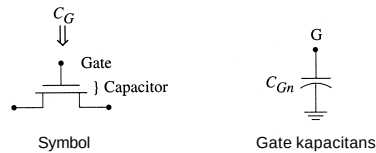
- Tre typer av kapacitanser finns associerade till MOSFET
 - Gate-to-channel kapacitanser (C_{gs} och C_{gd}): som är mellan *gate* och en diskret punkt placerad i *source* respektive *drain*
 - Gate-to-bulk kapacitanser (C_{gb}): som är mellan *gate* och *bulk* (substrat)
 - Source/drain-to-bulk kapacitanser: diffusionskapacitanser till bulk (substrat)



4 (2 4)

Kapacitanser i MOSFET (utarmnings-baserade)

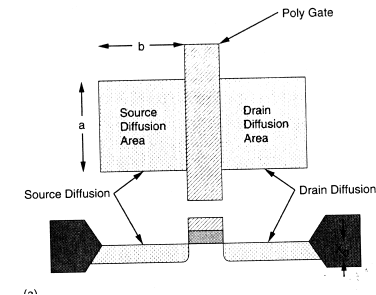
- Source- och drain-terminalerna är n+ eller p+ diffusioner (dopade områden)
- Diffusionsområden har alltid en kapacitans i gränssnittet mot substratet (kallas utarmningskapacitans)



$$C_g = C_{gb} + C_{gs} + C_{gd}$$

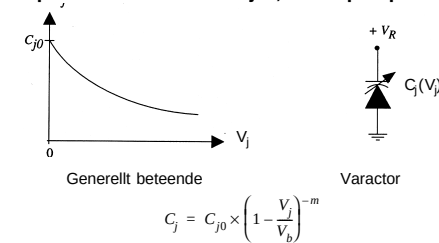
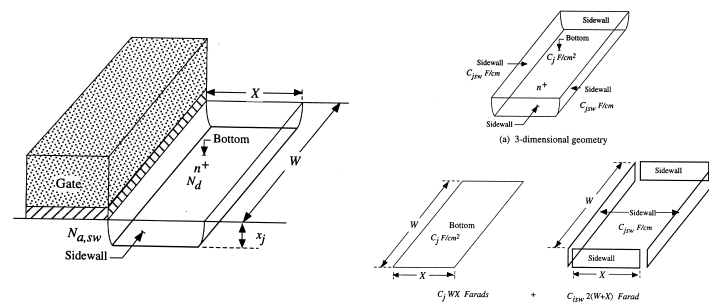
- Gate-kapacitansen varierar med spänningarna (V_{gs} och V_{ds}) som läggs på transistoren
- En god approximation som gäller över arbetsområden är:

$$C_g = \frac{\varepsilon_0 \cdot \varepsilon_{SiO_2}}{t_{ox}} \times W \cdot L$$



Kapacitanser i MOSFET (utarmnings-baserade)

- Source/drain kapacitansen är summan av utarmningskapacitanserna i botten och sidväggarna hos den dopade regionen
- Utarmningskapacitansen är icke-linjär, beror på spänningen över den



V_j = junction voltage

C_{j0} = zero bias capacitance ($V_j = 0$)

V_b = built-in junction potential (approx. 0.6 V)

m = constant, depends on the the junction ($m = 0.3$ for graded and $m = 0.5$ for abrupt junction)

Kapacitanser i MOSFET (utarmnings-baserade)

- Beräkna source- och drain kapacitanser (C_s och C_d)

- Bottenkapacitansen (zero-biased junction)

$$C_{bot} = C_{j0} \cdot W \cdot X \text{ (bottenarean} = W \cdot X)$$

C_{j0} är kapacitans per areaenhet

- Sidväggskapacitansen per längdenhet (zero-biased junction)

$$C_{jsw} = C_{j0sw} \cdot \chi_j$$

C_{j0sw} är sidväggskapacitansen per längdenhet, χ_j är regionens djup

- Sidväggskapacitans

$$C_{side} = C_{jsw} \cdot P$$

$P = 2 \cdot (W + X)$, P = regionens omkrets (eng. perimeter)

- Totala utarmningskapacitansen i source(/drain) region till bulken

$$C_{sb0} = C_{bot} + C_{side} = C_{j0} \cdot W \cdot X + C_{jsw} \cdot 2 \cdot (W + X)$$

9 (24)

Kapacitanser i MOSFET (utarmnings-baserade)

- En digital signal varierar över ett stort spänningsområde

- typiskt 0 till V_{DD} (t.ex 5V eller 3.3V)

- Totala utarmningskapacitansen i source(/drain) region till bulken vid 0V

$$C_{sb0} = C_{bot} + C_{side} = C_{j0} \cdot W \cdot X + C_{jsw} \cdot 2 \cdot (W + X)$$

- Spänningsberoendet uttrycks som

$$C_{sb} = \frac{C_{j0} \cdot W \cdot X}{\sqrt{1 + \frac{V_i}{V_b}}} + \frac{2 \cdot C_{jsw} \cdot (W + X)}{\sqrt{1 + \frac{V_i}{V_{bsw}}}}$$

- Förenkla modelleringen genom att ta fram medelkapacitansen (C_{av}) inom hela intervallet V_1 till V_2 på formen $C_{av} = K_{1/2}(V_1, V_2) \cdot C_{j0} \cdot A + K_{1/3}(V_1, V_2) \cdot C_{jsw} \cdot P$

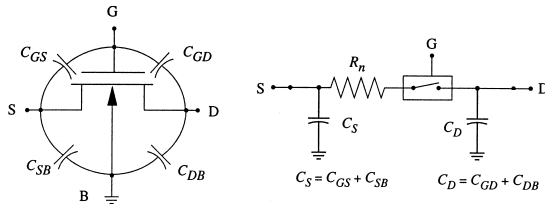
$$K_{1/2}(V_1, V_2) = \frac{2 \cdot V_j}{(V_2 - V_1)} \left[\sqrt{1 + \frac{V_2}{V_j}} - \sqrt{1 + \frac{V_1}{V_j}} \right]$$

$$K_{1/3}(V_1, V_2) = \frac{3 \cdot V_j}{2 \cdot (V_2 - V_1)} \left[\left(1 + \frac{V_2}{V_j} \right)^{2/3} - \left(1 + \frac{V_1}{V_j} \right)^{2/3} \right]$$

10 (24)

Förenklad linjär MOSFET modell

- Används för att göra estimering av prestanda i CMOS kretsar



$$C_s = C_{gs} + C_{sb}$$

$$C_d = C_{gd} + C_{db}$$

11 (24)

Estimering av resistanser

- Resistanser kan utgöras av

- MOSFET kanalen
 - Ledningar i olika material
 - kontakter mellan material

12 (24)

Ledningsresistans

- Resistansen i ett homogent ledande material:

$$R = \frac{L}{W} \times \frac{\tilde{\rho}}{H} = \frac{L}{W} \times R_{\square}$$

Sheet Resistance

13 (24)

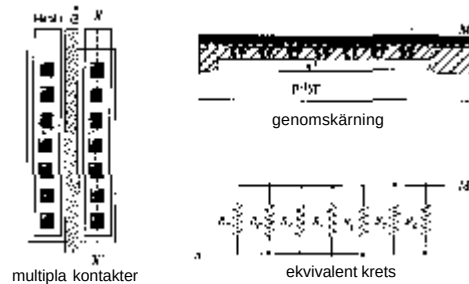
Ledningsresistans

Material	Sheet Resistance	
Diffusion	10	$\Omega / \square$
n-well	1000	$\Omega / \square$
Polysilicon	10	$\Omega / \square$
Metal	0.1	$\Omega / \square$

Typical values for a 1 micron process

14 (24)

Kontaktresistans



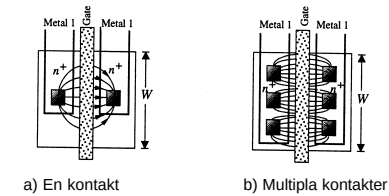
$$R_{c,eff} = \frac{R_c}{m}$$

$R_{c,eff}$ = effektiv kontaktresistans, R_c = en kontakts resistans, m = antal kontakter

15 (24)

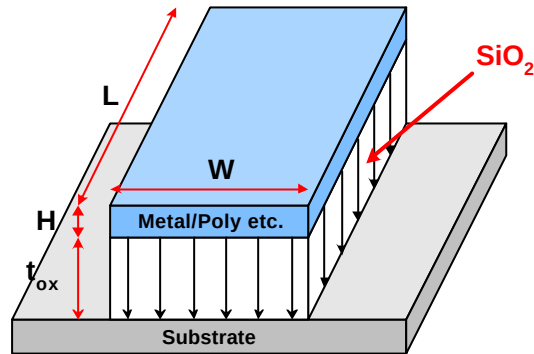
Effektiv kanalbredd

- I fallet a) blir den effektiva kanalbredden (W) mindre än om man använder flera kontakter som i b)



16 (24)

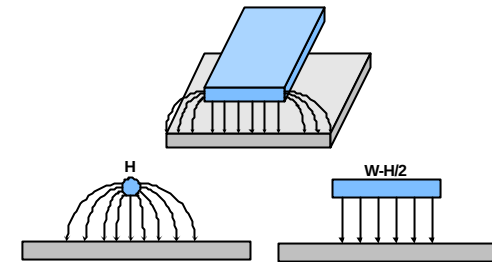
Ledningskapacitanser; Plattkondensator



$$c = \frac{\epsilon_0 \cdot \epsilon_{SiO2}}{t_{ox}} \times w \quad \text{F/m}$$

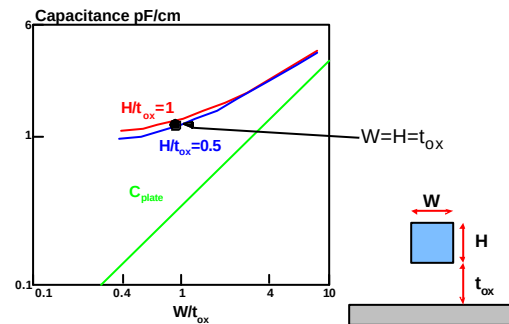
17 (24)

Ledningskapacitanser: "Fringing fields"



18 (24)

"Fringing fields" påverkan



För små värden på W/t_{ox} så dominerar "fringing fields"

19 (24)

Estimering av kapacitanser i ledningar

- Kapacitanser i ledningar kan vara den begränsande faktorn i signalöverföring för hög hastighet
- Formulera uttryck för kapacitans per längdenhet
 - Betrakta ledaren som en plattkondensator

$$c = \frac{\epsilon_0 \cdot \epsilon_{SiO2}}{t_{ox}} \times w \quad \text{F/m}$$

- Inkludera elektriska fälten viad kanterna (fringing filed) med empirisk modell

$$c = \epsilon_0 \cdot \epsilon_{SiO2} \left[1,15 \left(\frac{w}{t_{ox}} \right) + 2,8 \left(\frac{h}{t_{ox}} \right)^{0,222} \right] \quad \text{F/m}$$

Den första termen motsvarar plattkondensatorns bidrag och den andra termen tar hänsyn till fringing fields.

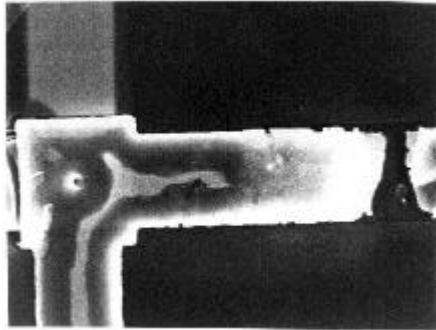
Den totala ledningskapacitansen

$$C_{line} = c' \times d$$

där d är ledningens längd [m]

20 (24)

Elektromigration

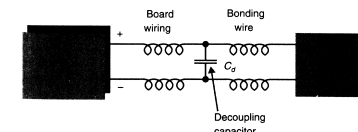
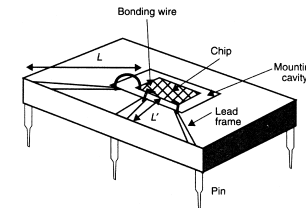


$$I_{DC,max} \approx 1\text{mA}/\mu\text{m}$$

21 (24)

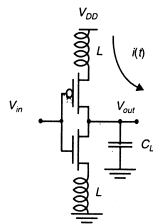
Estimering av induktanser

- Induktanser finns i ledningar från chip till kapsel (bonding wires) samt i kapselns pinnar

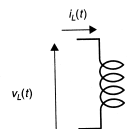


22 (24)

Induktiv koppling mellan extern och intern matning



- Spänningsfall över induktans



23 (24)

Typiska kapacitans och induktans i kapslar

Package Type	Capacitance (pF)	Inductance (nH)
68-pin plastic DIP	4	35
68-pin ceramic DIP	7	20
256-pin grid array	1–5	2–15
Wire bond	0.5–1	1–2
Solder bump	0.1–0.5	0.01–0.1

24 (24)