

Kursplanering Digitalkonstruktion II, 01

Kursansvarig: Bengt Oelmann

Kurslitteratur: "Principles of CMOS VLSI Design, A Systems Perspective", Neil H.E Weste & Kamran Eshragian (PVD) och "A First Course in Digital Systems Design, an Integrated Approach", John P. Uyemura (DSD)

Antal föreläsningstillfällen: 16

Antal övningstillfällen: 8

Antal laborationstillfällen: 4

Examinationsform: Tentamen

- F1: **Introduktion (PVD: kap. 1, DSD: kap. 6)**
- Kursöversikt
 - Exempel på VLSI system baserat på CMOS teknologi
 - CMOS switchen
 - Kombinatorisk logik
 - Minneselement
 - Beskrivningsmetoder för integrerade CMOS system
- F2: **MOS transistorens uppbyggnad och elektriska karakteristik (PVD: 2.1-2.2)**
- MOS transistorens ekvationer
- F3: **Grundläggande CMOS teknologi (PVD: 3.1-3.2)**
- Tillverkningsprocessen
 - komponenter i CMOS
 - designregler
- F4: **Den komplementära CMOS inverterarens DC karakteristik (PVD: 2.3-2.4, DSD: 7.1-7.3)**
- β_n/β_p förhållande
 - Brusmarginal
- F5: **Modeller för estimering av parasiter i MOS kretsar (PVD: 4.1-4.4)**
- Estimering av resistanser
 - Estimering av kapacitanser
 - Estimering av induktanser
- F6: **CMOS inverterarens omslagskarakteristik (PVD: 4.5-4.6, DSD: 7.4.2-7.5)**
- Analytiska fördröjningsmodeller
 - RC-modeller
- F7: **Effektförbrukning (PVD: 4.7)**
- Statisk effektförbrukning
 - Dynamisk effektförbrukning
 - Kortslutningsströmmar
 - Budget för effektförbrukning i ett system
- F7.1: **Dynamiska logikfamiljer (PVD: 5.4.4, 5.4.5, 5.4.7- 5.4.9)**
- dynamisk logik
 - Laddningsdelning
- F8: **Logisk konstruktion av CMOS grindar (PVD: 5.2 – 5.3.4)**
- Fan-in / fan-out
 - Typiska grindfördröjningar i CMOS
 - Dimensionering av transistorer
 - TSPC

- F9: **Transmissionsgrind och passtransistorlogik (PVD: 2.6, DSD: 8.10)**
- Transmissionsgrinden
 - Syntes av passtransistorlogik
- F10: **Minneselement (PVD: 5.5.1 – 5.5.5, 5.5.8 – 5.5.9, DSD: 9.10)**
- Klockade system
 - Latchar och register
 - System timing
 - Setup- och håltider
 - En-fas minnen
 - Två-fas minnen
- F11: **Klockdistribution och synkronisering (PVD: 5.5.6 – 5.5.7, 5.5.16)**
- Metastabilitet och synkroniseringsfel
 - Klockdistribution
 - PLL klockningstekniker
- F12: **IO-strukturer (PVD: 5.6.1 – 5.6.5)**
- Organisation på chipnivå
 - Matningsspänningar
 - Utpaddar
 - Inpaddar
 - Bi-direktionella paddar
- F13: **Konstruktionsflöde för VLSI (PVD: 6.2.1-6.2.6, 6.5.1 – 6.5.5, 6.6.1 – 6.6.8, 6.7, 6.8, DSD: 7.6)**
- Konstruktionsstrategier
 - Inmatning av konstruktion
 - Verifiering av konstruktion
 - Ekonomi
 - Datablad
- F14: **Testmetoder (PVD: 7.1-7.3)**
- Motivation
 - Testprinciper
 - Konstruktionsstrategier för test