

Laboration 1: Digitalkretskonstruktion / Digital konstruktion II

Elektrisk karakterisering av enkla CMOS grindar

Drivförmåga hos en CMOS grind

Konstruera en CMOS inverterare m.h.a *Led* och teknologin *cyb_a* (parametrarna i bilaga 1). Mät upp stig- och falltider för följande CMOS inverterare:

$(W/L)_p/(W/L)_n = 1, 2, 4 \text{ och } 8$

Simulera med Lsim i ADEPT-mode med en last på 50fF på utgången. Plotta stig- och falltider som funktion av $(W/L)_p/(W/L)_n$ i samma diagram.

Tips: För att lägga till en last på utgången, editera Lsim-nätlistan (.N) och lägg till följande rad:

C CL c=50f s=? d=?;

Dimensionering av CMOS grind med symmetriskt omslag

Konstruera en NOR grind med lika långa stig- och falltider ($t_{\text{rise}} = t_{\text{fall}}$). Använd nMOS transistorer med min. storlek (default i *Led*).

Vilket blir förhållandet mellan nMOS och pMOS transistorerna ?

Hur stämmer förhållandet mellan transistorerna överens med förhållandet i mobiliteten för elektroner och hål ?

Mätning av inkapacitans hos en CMOS grind

Mät upp inkapacitansen för NOR-grinden från föregående övning.

Vad är det som bidrar till kapacitansen ?

Hur kan man enkelt uppskatta inkapacitansen hos en CMOS grind ?

Tips: En resistans kan läggas till Lsim-nätlistan enligt följande rad:

R Rin r=? s=? d=?;

Lastberoende grindfördröjning

Mät upp intrinsiska och lastberoende grindfördröjningen för NOR-grinden. Plotta hur stig- och falltiderna beror av den kapacitiva lasten.

Motivera eventuella avvikelser i simuleringsresultat mot förväntat resultat.

Redovisning av laborationen

Laborationsrapporten skall innehålla simuleringsresultat och på vilket sätt resultatet har erhållits