

- 1 a) Konstruera en statisk CMOS gränd med följande logiska funktion:

$$Z_a = m_0 \cdot \bar{m}_1 + \bar{m}_0 \cdot m_1$$

Skriv om uttrycket så att det passar CMOS implementering

$$\begin{aligned} Z_a &= \overline{m_0 \bar{m}_1 + \bar{m}_0 m_1} = \\ &= \overline{m_0 \bar{m}_1} \cdot \overline{\bar{m}_0 m_1} = \\ &= (\bar{m}_0 + m_1)(m_0 + \bar{m}_1) \end{aligned}$$

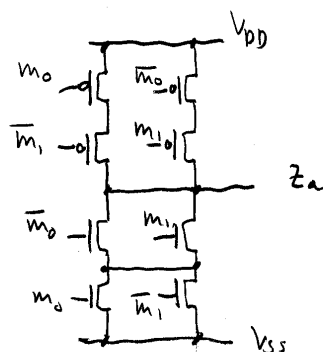
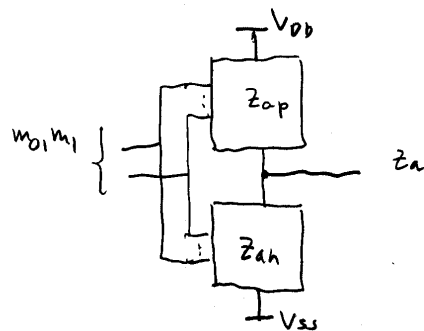
nMOS träd blir:

$$Z_{an} = (\bar{m}_0 + m_1)(m_0 + \bar{m}_1)$$

pMOS träd blir:

$$Z_{ap} = Z_a = m_0 \bar{m}_1 + \bar{m}_0 m_1$$

CMOS grunden ritas som:



1b) Konstruera en statisk CMOS gränd som fungerar enligt sanningstabellen nedan:

a	b	c	z_b
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

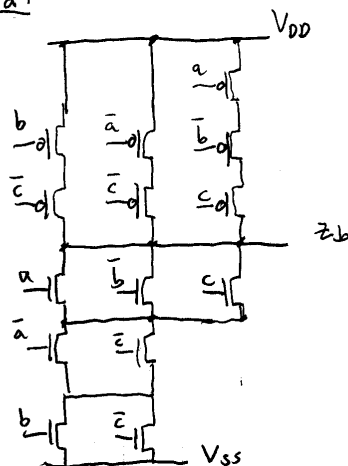
Ta fram minimala uttrycket på SOP-form för z_b m.h.a Karnaugh-diagram.

		bc			
		00	01	11	10
a	0	0	1	0	1
	1	0	1	1	0

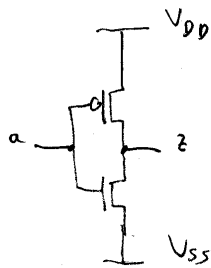
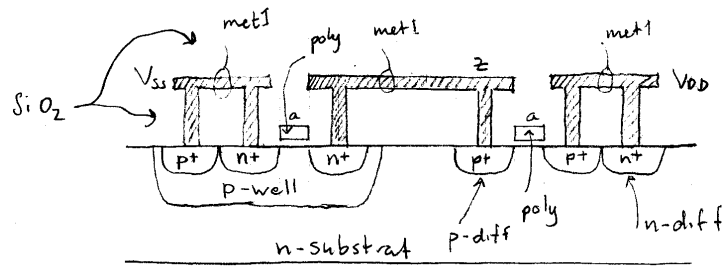
z_b

$$\begin{aligned}
 z_b &= \bar{b}c + ac + \bar{a}b\bar{c} \\
 &= \overline{\bar{b}c + ac + \bar{a}b\bar{c}} \\
 &= \overline{\bar{b}c} \cdot \overline{ac} \cdot \overline{\bar{a}b\bar{c}} \\
 &= (b + \bar{c})(\bar{a} + \bar{c})(a + b + c)
 \end{aligned}$$

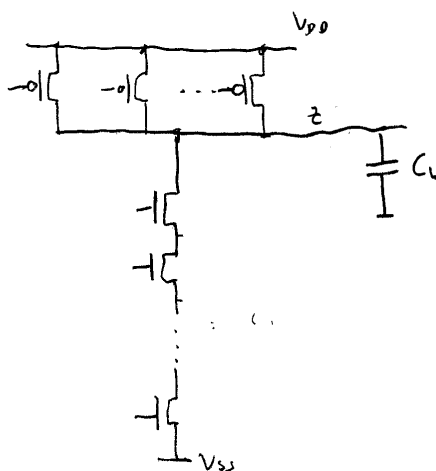
CMOS gränd:



2 Genomsnittning för en inverterare i process med n-substrat.



3. Ta fram ett uttryck baserat på RC-modell för den längsta stig- resp. falltiden.



för signalen)

Stigtiden t_r på utgångsnoden z definieras vi som $t_r = R_P \cdot C_L$

Falltiden för signalen på z definieras vi som $t_f = R_N \cdot C_L$

Där R_P är resistansen mellan V_{DD} och z ,

R_N är resistansen mellan V_{SS} och z , C_L är den

totala kapacitansen som laddas upp/ur vid förändring av logiskt värde på z .

$$R_N = m \cdot \frac{R_n}{n_n}$$

$$R_P = \frac{R_p}{n_p}$$

$$C_L = C_{\text{intern}} + C_r + C_{\text{gates}}$$

där

C_{intern} är den interna kapacitansen som kommer från source- och drain kapacitanser i noden z och C_{gates} kommer från grindar anslutna till noden z .

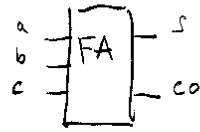
$$C_{\text{intern}} = m \cdot n_p \cdot C_d$$

$$C_{\text{gates}} = k \cdot C_{in} \quad \text{där } C_{in} \text{ är inkapacitansen för en grind.}$$

$$C_L = m \cdot n_p \cdot C_d + C_r + k \cdot C_{in}$$

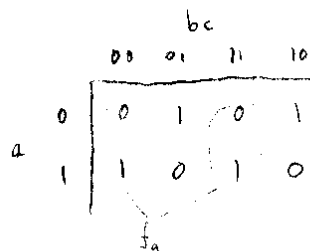
SVAR: $t_r = \frac{R_p}{n_p} (m \cdot n_p \cdot C_d + C_r + k \cdot C_{in})$; $t_f = \frac{m \cdot R_n}{n_n} (m \cdot n_p \cdot C_d + C_r + k \cdot C_{in})$

4. Ta fram en full-adderare i passtransistorlogik



a	b	c	s	co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Karnaugh diagram för s



Välj a som pass-variabel

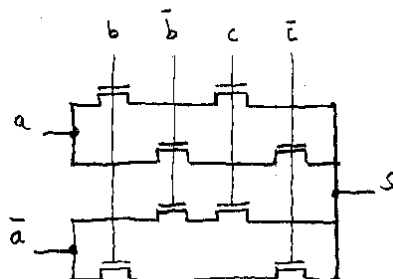
$$f_0 = -$$

$$f_1 = -$$

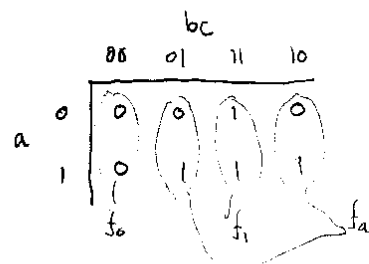
$$f_a = \bar{b}\bar{c} + bc$$

$$f_{\bar{a}} = \bar{b}c + b\bar{c}$$

Passtransistornät



Karnaughdiagram för co



Välj a som pass-variabel

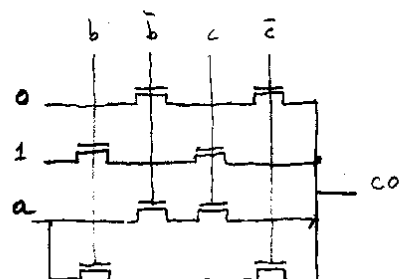
$$f_0 = \bar{b}\bar{c}$$

$$f_1 = bc$$

$$f_a = \bar{b}c + b\bar{c}$$

$$f_{\bar{a}} = -$$

Passtransistornät

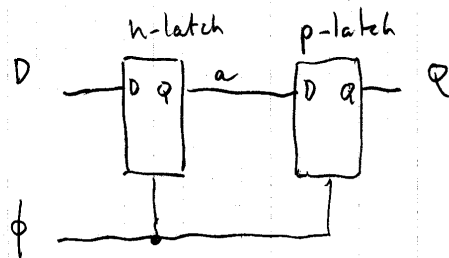


5. Konstruera en T-vippa i TSPC.
T-vippa baserad på D-vippa



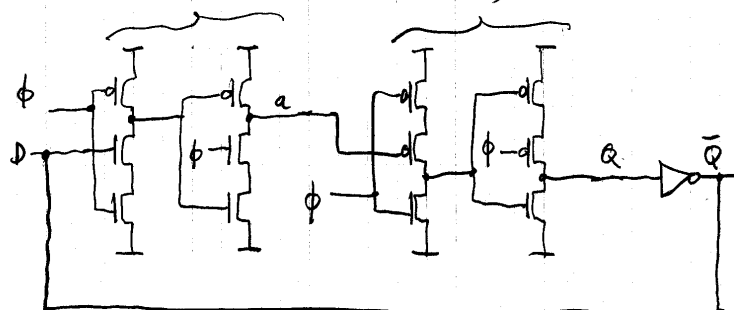
$$Q^+ = \bar{Q}$$

D-vippa i TSPC:



n-latch : TSPC
(master)

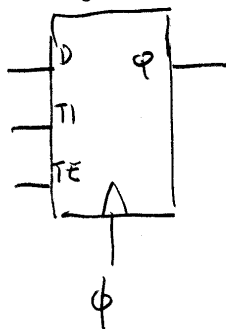
p-latch : TSPC
(slave)



6. Beskriv hur testning med full-scan fungerar.
se föreläsninganteckningar FI4 12(19) +
kursbok.

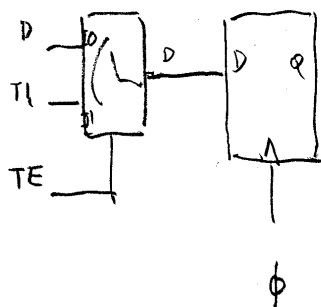
Konstruktion av Scan-vippa:

Symbol



Grundnivå beskrivning

2:1 MUX D-VIPPA



2:1 MUX

Sanningstabell:

TE	I0	I1	D
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

K-diagram

	I0 I1			
	00	01	11	10
TE 0	0	0	1	1
TE 1	0	1	1	0

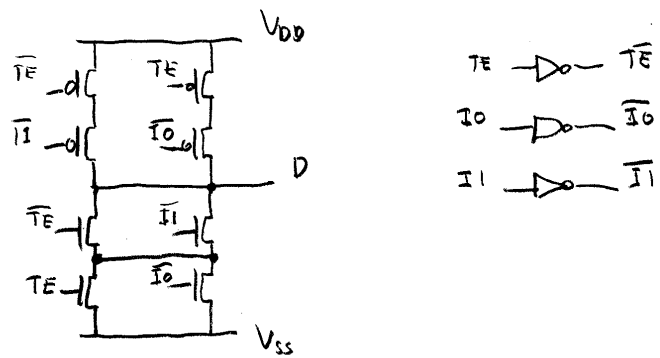
$$D = TE \cdot I1 + \overline{TE} \cdot I0$$

$$= \overline{TE} \cdot I1 + \overline{TE} \cdot I0$$

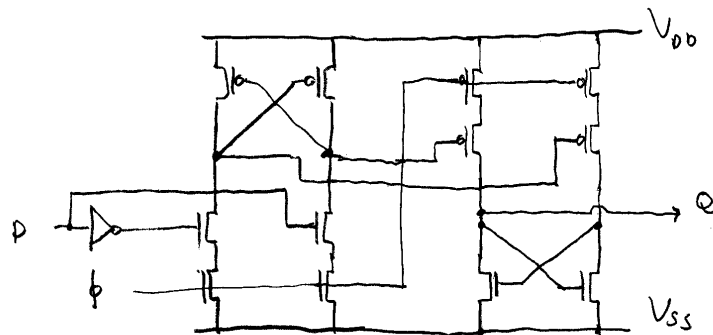
$$= \overline{TE} \cdot (I1 + I0) = \overline{TE} \cdot 1 = \overline{TE}$$

triks 6.

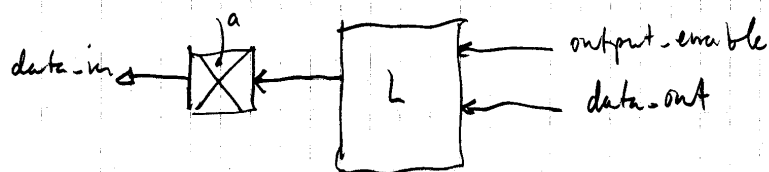
Transistorschema for 2:1 MUX



Transistorschema for D-vippa av CMOS typ.



7. Ta fram nödvändig logik för en bi-directionell pad



Funktion: Då output-enable (OE) är '0' så ska den fungera som en ingång och då OE='1' ska den fungera som en utgång, d.v.s data-out ska drivas ut på paden.

Då OE='0' ska anslutningspunkten a sättas till hög-impedans tillstånd (Z).

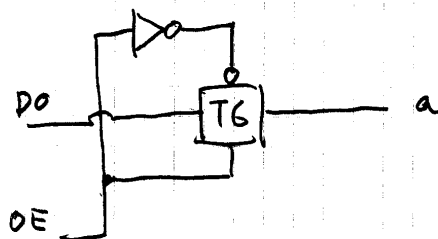
Låt DO = data-out, DI = data-in.

Sanningstabel för anslutningspunkten a.

OE	DO	a
0	0	Z
0	1	Z
1	0	0
1	1	1

Låt OE styra en transmissionsgrind (TG) så att den leder då OE=1 och sperrar då OE=0

Grundscheman för bi-directionell pad:



8.

Uppskatta effektförbrukningen i ett helt synkront chip med följande data:

$$n_{\text{gates}} = 60.000$$

$$n_{\text{dft}} = 9000$$

$$n_{\text{out}} = 8$$

$$n_{\text{in}} = 14$$

$$C_{\text{ch}} = 28 \text{ fF}$$

$$\alpha_{\text{logic}} = 10\%$$

$$\alpha_{\text{io}} = 8\%$$

$$V_{\text{DD}} = 3.3 \text{ V}$$

$$f = 50 \text{ MHz}$$

$$C_{\text{L}} = 30 \text{ pF}$$

$$P_{\text{gate}} = 3 \mu\text{W/MHz/gate}$$

Kommentar:

I uppgiften anges ej hur mycket effekt går till drivkretsarna för klocksignalen. Därför antas effektförbrukningen där vara noll.

Den totala effektförbrukningen beräknas som

$$P_{\text{tot}} = P_{\text{gates}} + P_{\text{clock}} + P_{\text{io}}$$

där P_{gates} är effekten i grindarna, P_{clock} effekten i klocknätet och P_{io} är effektförbrukningen i utgångspaddarna. (Ingen effektförbrukning i inpaddar).

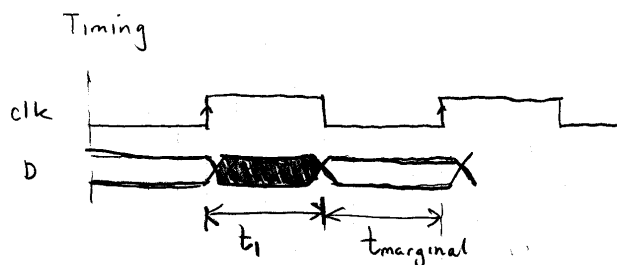
$$\begin{aligned} P_{\text{gates}} &= n_{\text{gates}} \cdot P_{\text{gate}} \cdot f \cdot \alpha_{\text{logic}} \\ &= 60000 \cdot 3 \cdot 10^{-6} \cdot 50 \cdot 0.1 = 900 \text{ mW} \end{aligned}$$

$$\begin{aligned} P_{\text{clock}} &= C_{\text{ch}} \cdot n_{\text{dft}} \cdot f \cdot V_{\text{DD}}^2 = 28 \cdot 10^{-15} \cdot 9000 \cdot 50 \cdot 10^6 \cdot 3.3^2 \\ &= 137.2 \text{ mW} \end{aligned}$$

$$\begin{aligned} P_{\text{io}} &= \alpha_{\text{io}} (292 \cdot 10^{-16} + V_{\text{DD}}^2 \cdot C_{\text{L}}) \cdot f \cdot n_{\text{out}} \\ &= 0.08 (292 \cdot 10^{-16} + 3.3^2 \cdot 30 \cdot 10^{-12}) \cdot 50 \cdot 10^6 \cdot 8 \\ &= 19.798 \text{ mW} \end{aligned}$$

$$P_{\text{tot}} = 1.06 \text{ W}$$

- 8 b) Bestäm hur mycket effektförbrukningen kan reduceras genom att reducera V_{DD} så att timing-marginalen på 10 ns blir 0 ns.



Antag att vi kan approximerar fördröjningen i CMOS-grindarna med

$$t = k \cdot \frac{C}{\beta V_{DD}} \quad (\text{se formelsamling i kentan})$$

där C är den kapacitansen på grindens utgång, k är en teknologiberoende konstant, V_{DD} är matningsspänning och β är transkonduktansparameter för transistorn. k , C och β kan antas vara oberoende av matningsspänningen.

$$t_1 = k \cdot \frac{C}{\beta V_{DD1}} \quad (1)$$

Om vi sänker matningsspänningen så att $t_2 = \frac{1}{50 \cdot 10^6}$ (d.v.s ingen tidsmarginal) så att den blir V_{DD2}

$$t_2 = k \cdot \frac{C}{\beta V_{DD2}} \quad (2)$$

dividera (1) med (2)

$$\frac{t_1}{t_2} = \frac{k \cdot \frac{C}{\beta V_{DD1}}}{k \cdot \frac{C}{\beta V_{DD2}}} = \frac{V_{DD2}}{V_{DD1}} \Rightarrow V_{DD2} = V_{DD1} \cdot \frac{t_1}{t_2}$$

8b) forts.

Effektförbrukningen för fördröjningen t_1 skrivs som

$$P_1 = \frac{1}{2} \alpha C V_{DD1}^2 f (3) \text{ och}$$

för t_2

$$P_2 = \frac{1}{2} \alpha C V_{DD2}^2 f (4)$$

där

α , C , och f är oberoende matningspänningar

dividera (3) med (4)

$$\frac{P_1}{P_2} = \frac{\frac{1}{2} \alpha C V_{DD1}^2 f}{\frac{1}{2} \alpha C V_{DD2}^2 f} = \frac{V_{DD1}^2}{V_{DD2}^2}$$

$$P_2 = P_1 \cdot \frac{V_{DD2}^2}{V_{DD1}^2}$$

$$P_2 = P_1 \cdot \frac{(t_1/t_2 \cdot V_{DD1})^2}{V_{DD1}^2}$$

$$P_2 = P_1 \cdot \frac{t_1^2}{t_2^2}$$

$$t_1 = 10 \text{ ns}$$

$$t_2 = 20 \text{ ns}$$

$$P_2 = P_1 \cdot \frac{10^2}{20^2} = 0.25 P_1$$

$$V_{DD2} = V_{DD1} \cdot \frac{t_1}{t_2} = 3.3 \cdot \frac{10}{20} = 1.65 \text{ V}$$

$$V_{DD2} \geq 1.5 \text{ V} \quad (\text{krav för att grindarna ska fungera})$$

Svar: Genom att sänka matningspänningen till hälften ($3.3 \rightarrow 1.65 \text{ V}$) så blir effektförbrukningen 25% av den ursprungliga.