

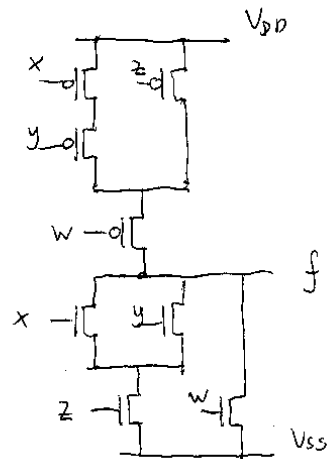
1. Konstruera en statisk CMOS grind för

$$f = (x+y) \cdot z + w$$

$$f_n = (x+y) \cdot \bar{z} + w$$

$$f_p = (\bar{x}\bar{y} + \bar{z}) \bar{w}$$

Transistorschema:



2.

Mellan vilka värden kan en inverters V_I ligga?

Från bifogad formelsamling har vi:

$$V_I = \frac{V_{DD} - |V_{TP}| + V_{TN} \cdot r}{1 + r}$$

$$\text{där } r = \sqrt{\beta_n / \beta_p}$$

V_I ändras genom att ändra transistorernas W/L förhållande (och därmed deras β).

För att testa gränserna låter vi $r \rightarrow 0$ och $r \rightarrow \infty$

$$V_I(r=0) = \frac{V_{DD} - |V_{TP}|}{1} = V_{DD} - |V_{TP}|$$

$$V_I = \frac{V_{DD}}{1+r} - \frac{|V_{TP}|}{1+r} + \frac{V_{TN}}{\frac{1}{r} + 1}$$

$$V_I(r \rightarrow \infty) = V_{TN}$$

Svar: V_I kan variera mellan $V_{DD} - |V_{TP}|$ och V_{TN} .

3

Faktorer som bidrar till effektförbrukning i CMOS logik:

- Dynamisk effekt: Energin som går åt till att ladda upp och ur kapacitiv last.
- Kortslutningseffekt: Kommer sig av den kortslutningsström som går från V_{DD} till V_{SS} under omslag i en gränd
- Läckströmmar: Kommer sig av läckströmmar i backspända dioder samt sub-threshold strömmar.

4

Från sekvenserna ser vi att switchingaktiviteten i fall 1 är $\alpha_1 = \frac{4}{10}$ och fall 2 $\alpha_2 = \frac{6}{10}$.

Om vi antar att endast dynamisk effekten är bidragande till den totala effektförbrukningen så gäller

$$P = \frac{1}{2} \alpha C V_{DD}^2 f$$

så kan vi skriva

$$\frac{P_1}{P_2} = \frac{\frac{1}{2} \alpha_1 C V_{DD}^2 f}{\frac{1}{2} \alpha_2 C V_{DD}^2 f}$$

Vi söker P_2 :

$$P_2 = P_1 \cdot \frac{\alpha_2}{\alpha_1}$$

med insatta värden fås

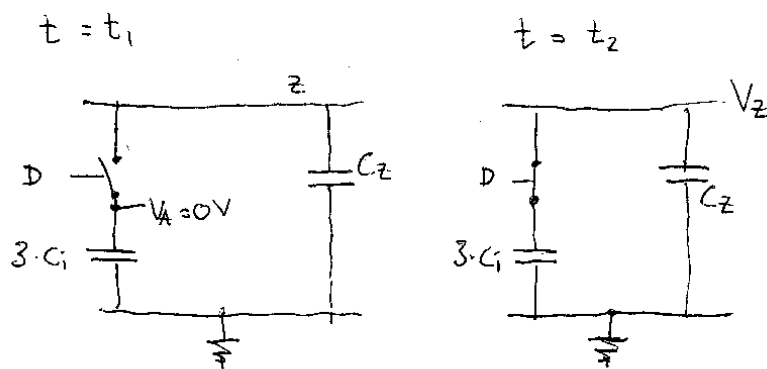
$$P_2 = 6.2 \cdot \frac{6}{4} \text{ [}\mu\text{W]}$$

$$\underline{\text{Svar:}} \quad P_2 = 9.3 \mu\text{W}$$

- 5 . Bestäm minsta värdet på kapacitansen i noden z så att strömläckage i inverterarens pMOS transistoren undviks.

Det problem som kan uppstå i dynamiska grindar är att en dynamisk nod är utsatt för laddningsdelning med andra noder. I kretsen så kan de interna noderna (betecknade som C_i) vara laddade till 0V och noden z laddad till V_{DD} . Om signalerna $D=0$, $C=1$ och $B=0$ vid tidpunkten t_1 och vid tidpunkten t_2 , där $t_2 > t_1$, går D hög kommer laddningen på z att fördela sig på C_z och $3 \cdot C_i$.

Ska vi analysera laddningsdelningen kan vi använda oss av följande ekvivalentkretsar:



$$V_z = \frac{C_z \cdot V_{DD} + 3C_i \cdot 0}{C_z + 3C_i}$$

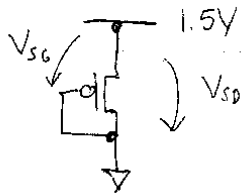
$$\text{lös ut } C_z : C_z = \frac{3C_i V_z}{V_{DD} - V_z}$$

Den minsta spänningen V_z vi kan ha utan att pMOS tr. ska börja leda är $V_{DD} - |V_{TP}|$.

$$\begin{aligned} \text{Med insatta värden blir } C_z &= \frac{3C_i (V_{DD} - |V_{TP}|)}{V_{DD} - V_z} \\ &= \frac{3 \cdot 5 (5 - 0.7)}{5 - 5 + 0.7} = 92 \text{ fF} \end{aligned}$$

Svar: Kapacitansen måste vara större än 92 fF

b. .. Bestäm samtliga möjliga arbetsområden för kopplingarna:



Villkor för mättnad $V_{SD} > V_{SG} - |V_{TP}|$

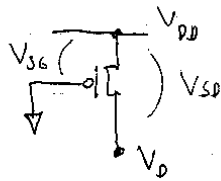
Villkor för cut-off $|V_{TP}| > V_{SG}$

$$V_{SG} = 1.5V$$

$$\text{om } |V_{TP}| < V_{SG}$$

så är transistorn i mättnad eftersom $V_{SG} = V_{SD}$

annars är den i cut-off.



$$V_{SG} = V_{DD} \quad (1)$$

$$V_{SD} = V_{DD} - V_D \quad (2)$$

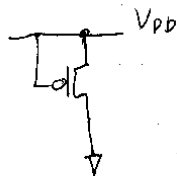
(1) & (2) insatt i villkoret för mättnad ger

$$V_{DD} - V_D > V_{DD} - |V_{TP}| \Rightarrow$$

om $V_D > |V_{TP}|$ är transistorn i mättnad

annars är den i linjära området ($V_D < |V_{TP}|$)

Transistorn är endast i cut-off om $|V_{TP}| > V_{DD}$

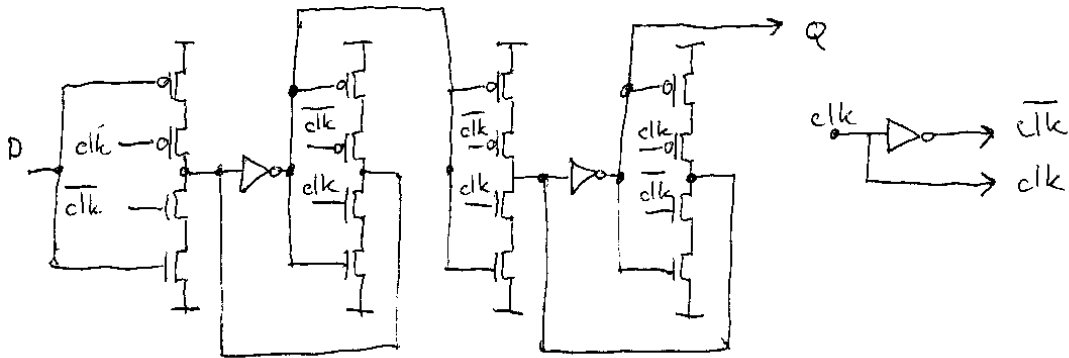


$V_{SG} = 0$ vilket är mindre än $|V_{TP}|$

- 8 En positivt flanktriggad master-slave FF fås då slave-latchen är transparent då $\text{clk} = 1$ och master-latchen transparent då $\text{clk} = 1$.

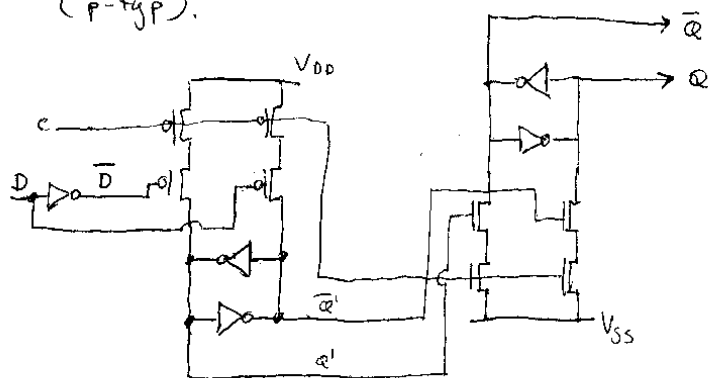
a) Latchen kräver tvåfasklockning där clk inverteras.

Från schemat för latchen ser vi att den är transparent då $\text{clk} = 1$ ($\overline{\text{clk}} = 0$) och används som slave-latch. Med inverterad klocksignal får vi master-latchen.



b) Master-slave FF konstrueras med en latch av n-typ och p-typ, och en klockfas behövs.

Från schemat till vänster ser vi att latchen är transparent då $C = 1$ (n-typ) och den till höger är transparent då $C = 1$ (p-typ).



9. Ta fram samtliga testvektorer som testar s-a-0 och s-a-1 fel i kretsen given i uppgiften

Ta fram vektorer för s-a-0:

(b)	(c)	(d)	(a)								
n_0	n_1	n_2	n_3	n_4	n_5	n_6	n_7	n_8	n_9		
1	0	-	-	1	-	-	-	-	-	Prop. 0 till ingångarna	
1	0	0	-	1	0	-	-	-	-	Prop. 0 till n_5	
1	0	0	-	1	0	0	-	-	-	Prop. 0 till n_6	
1	0	0	0	1	0	0	0	-	-	Prop. 0 till n_7	

Det finns en vektor: $(a, b, c, d) = (1, 1, 0, 0)$

Ta fram vektorer för s-a-1:

n_0	n_1	n_2	n_3	n_4	n_5	n_6	n_7	n_8	n_9		
0/-	0	-	-	-/0	-	-	-	-	-	Prop. 0 till ingångarna	
0/-	0	0	-	-/0	-	-	-	-	-	Prop. 0 till n_5	
0/-	0	0	-	-/0	-	0	-	-	-	Prop. 0 till n_6	
0/-	0	0	0	-/0	-	0	0	-	-	Prop. 0 till n_7	

Följande vektorer för (a, b, c, d) fås:

$(-1, 0, 0, 0), (0, -1, 0, 0)$

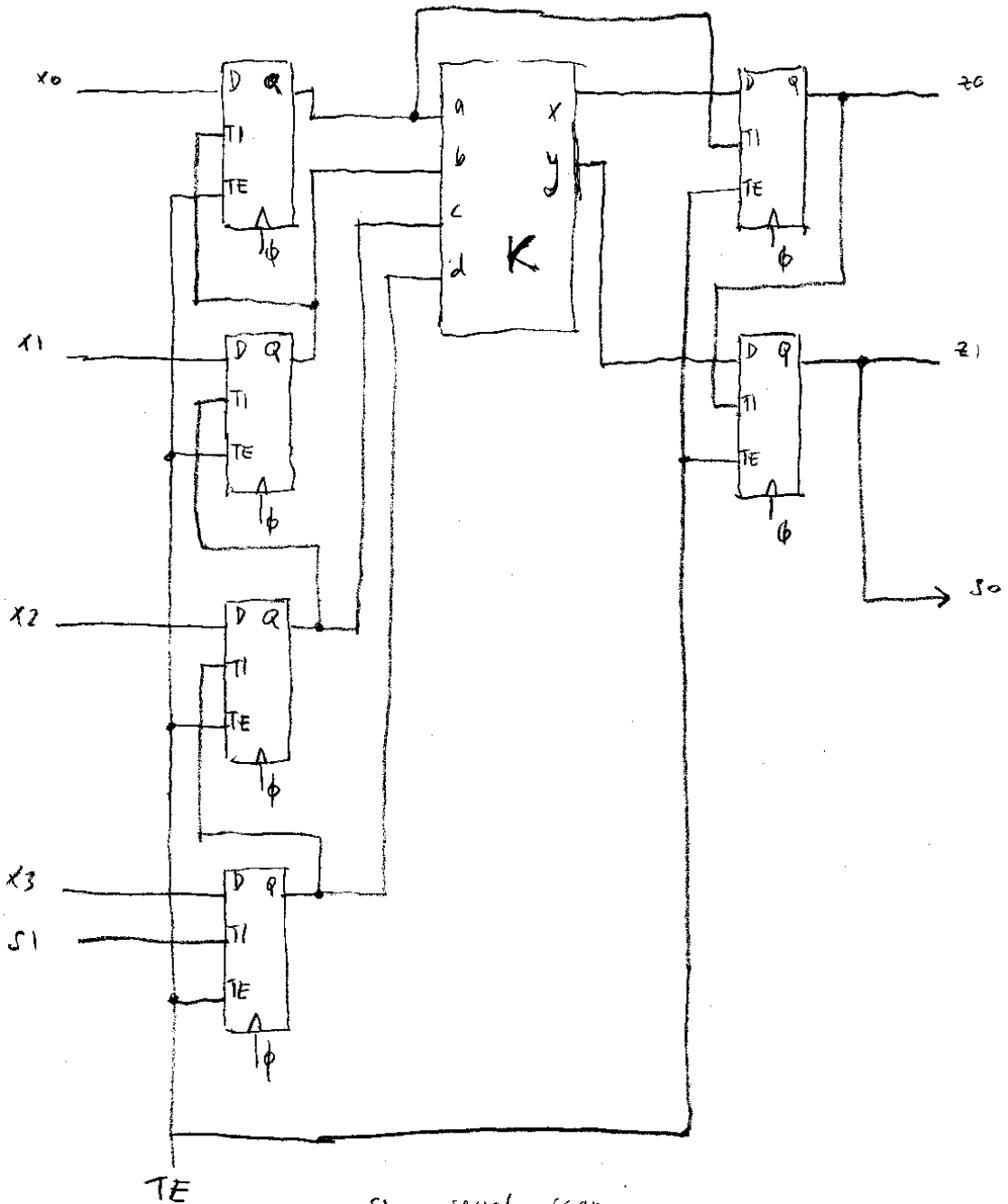
Svar: testvektor (a, b, c, d) för att testa s-a-0:

noden n_1 : $(1, 1, 0, 0)$

samt s-a-1 i noden n_1 : $(0, 0, 0, 0), (0, 1, 0, 0), (1, 0, 0, 0)$

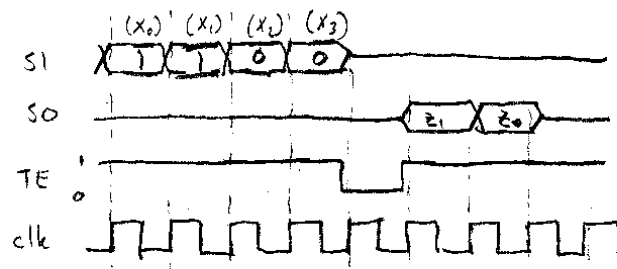
10.

a) Krets för full-scan:



SI serial scan in
 So serial scan out
 TE test enable (TE=1 scan-mode, TE=0 normal-mode)

b) under test är ingångarna $X_0 - X_3$ ointressanta



- Scanne in data : 4 klockcykler för att f_2 in $x_0 - x_3$ i registren. $TE = 1$
- Klocka in data i utgångsregistret : 1 klockcykel $TE = 1$
- Scanna ut data : 2 klockcykler för att f_2 ut $z_0 - z_1$