

Övningsuppgifter i Digital kretskonstruktion II

Bengt Oelmann ITM, 2001-11-01

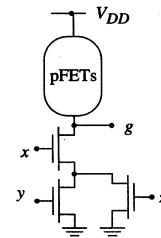
1.0 Introduktion

- 1.1 Konstruera logiska grindar i CMOS med följande funktioner

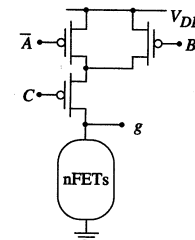
$$Z_1 = \overline{A \cdot B \cdot C \cdot D}$$

$$Z_2 = \overline{((A \cdot B) + C) \cdot D}$$

- 1.2 CMOS grinden nedan visar endast nmos-trädet. Bestäm funktionen $g(x,y,z)$ och rita pmos-trädet.



- 1.3 CMOS grinden nedan visar endast pmos-trädet. Bestäm funktionen $g(x,y,z)$ och rita nmos-trädet.



- 1.4 Konstruera en prioritets avkodare vars funktion beskrivs som

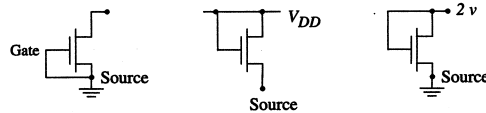
$$Z_0 = \overline{A_0} \cdot (A_1 + A_2)$$

$$Z_1 = \overline{A_0} \cdot A_1$$

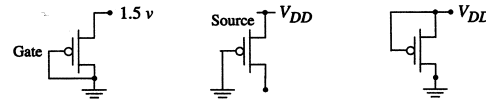
- 1.5 Konstruera en "positiv level sensitiv" latch med en asynkron reset (reset=1 => q=0)

2.0 MOS transistorens uppbyggnad och elektriska karakteristik

- 2.1 Bestäm i vilket arbetsområde följande transistorkopplingar med nmos transistorer arbetar i.



- 2.2 Bestäm i vilket arbetsområde följande transistorkopplingar med pmos transistorer arbetar i.



3.0 Grundläggande CMOS teknologi

- 3.1 En p-well process har följande lager

- p-well
- active
- n-plus
- p-plus
- poly
- contact
- via cut
- metal1
- metal2

Rita de kombinationer av lager som bildar

- a) en p-transistor
- b) en n-transistor
- c) en via-kontakt
- d) en substratkontakt till V_{DD}

- 3.2 Förklara varför substratkontakter viktiga.

- 3.3 Förklara varför "silicon-gate"-processen också kallas för *self-aligned* process.

4.0 Den komplementära CMOS inverterarens DC-karakteristik

- 4.1 Beräkna brusmarginalen för en CMOS inverterare som arbetar med 3.3V matningsspänning där $v_{Tn} = 0.7V$ och $v_{Tp} = -0.7V$ och $\beta_p = \beta_n$.
- 4.2 Betrakta en CMOS inverterare som konstrueras i en process med följande parametrar: $k'_n = 100\mu A/V^2$, $k'_p = 40\mu A/V^2$, $V_{T0n} = 0.7V$, och $V_{T0p} = -0.8V$. Transistorerna är dimensionerade $(W/L)_n = 10$ och $(W/L)_p = 15$, och matningsspänningen är 5V.
 - a) Bestäm inverterarens tröskel (då $V_{out} = V_{in}$)
 - b) Bestäm V_{IL} och V_{IH} samt brusmarginalen.
- 4.3 En CMOS inverterare är konstruerad med samma processparametrar som i ovanstående uppgift. Konstruera inverteraren så att inverterarens tröskel blir $0.4 \cdot V_{DD}$. Då V_{DD} är 5V.
- 4.4 Härled V_{OH} och V_{OL} för en statisk CMOS inverterare.

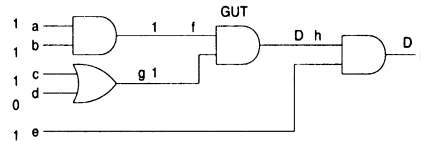
5.0 Modeller för estimering av R, C, och L i CMOS processer

- 5.1 För vilka ledningsbredder ger modellen för plattkondensator ett fel >10% jämfört med modellen som inkluderar fringing fields då ledarens tjocklek är lika med oxidtjockleken.
- 5.2 Kan man genom att ändra bredden på en signalledare för att minska RC faktorn? Motivera svaret.
- 5.3 Hur mycket kan utarmningskapacitansen i t.ex source- eller drainindiffusioner variera med matningsspänningar mellan 0 och 5V. Antag V_b (built-in junction potential) = 0.6V och abrupt övergång (junction).

6.0 CMOS inverterarens omslagskarakteristik

- 6.1 Konstruera en 4-ingångars nor grind för symmetriskt omslag, samt bestäm den totala kapacitansen i grinden och jämför med en motsvarande grind i min. transistorer. antag att $C_{gate} = C_{source} = C_{drain} = C_g$ för en min. transistor.
- 6.2 Plotta fördröjningen i en inverterare som funktion av stig- och falltiderna. $\beta_n = 4.04 \times 10^{-4}$, $\beta_p = 3.48 \times 10^{-4}$, $v_{Tn} = 0.767$, $v_{Tp} = -0.938$, $V_{DD} = 5.0$, $C_L = 0.5pF$
- 6.3 Jämför den enkla switch-level RC modellen med Penfield-Rubenstein modellen genom att plotta falltiderna för 2-,3-,4-ingångars nand-grindar.
- 6.4 Härled uttrycken för stig- och falltider i CMOS inverteraren

- 6.5 Bestäm längsta fördröjningen genom det kombinatoriska nätet nedan med följande data för grindarna och routing kapacitanser på 10fF på varje nät.



Tabell 1: Data för cellerna

	$t_{i,rise}[ns]$	$t_{i,fall}[ns]$	$k_{load,rise}[ns/pF]$	$k_{load,fall}[ns/pF]$	$C_h[fF]$
and	0.24	0.26	2.12	3.83	7
or	0.20	0.30	2.40	3.50	9

7.0 Effektförbrukning

- 7.1 Den dynamiska effektförbrukningen i en modul med logiska grindar har en switchingaktivitet $\alpha = 20\%$ på datasignalerna, den totala switchande kapacitansen uppskattas till 100pF. Vad blir effektförbrukningen vid 40MHz och $V_{DD} = 3.6V$ om man inte räknar med klocknätets effektförbrukning.
- 7.2 I ett logikblock som består av 1000 grindekvivalenter (=en 2-ingångars nand grind) så har man omslagstider på 5 ns på varje nät. Långa stig- och falltider leder till stora kortslutningsströmmar. Undersök om det är möjligt att få ner den totala effektförbrukningen genom att minska stig- och falltiderna.
- $\beta_n = 221\mu A/V^2$, $\beta_p = 80\mu A/V^2$, $C_{source} = C_{drain} = C_{gate} = C_g = 5$ fF, $C_{ledning} = 8$ fF, medel-fanout = 3, $f_{ck} = 20$ MHz, $\alpha = 20\%$
- 7.3 Dimensionera ett kaskadkopplat drivarsteg med optimal uppbuffring mellan varje steg för lasten C_L . Bestäm hur stor den switchande kapacitansen blir i buffringen uttryckt som ett förhållande till C_L . Antag att optimal faktor för uppbuffring är e, samt att kapacitansen i buffrarna enbart består av gate-gapacitansen C_G .
- 7.4 Estimera effektförbrukningen i ett chip med följande data:
 Antal grindekvivalenter (2-ingångs nand): 30.000
 Antal register: 9.000 bitar (inräknat i de 30.000 grindekvivalenterna)
 Matningsspänning: $V_{DD} = 3.3V$
 $f_{ck} = 40$ MHz
 Max stig- och falltider på klocksignalen: 1.0 ns

Megaceller: 2st 128x8 enports-RAM, 8 st 64x14 tvåports RAM
 IO: 14 stycken bi-direktionella pinnar (4mA), 8 stycken utgångspinnar (4mA)
 Effektförbrukning i grindar: $5\mu W/MHz/grind$
 Varje vippas last på klocknätet (klock-ingång + routing kapacitans): 38 fF
 Varje utgång lastas med 30pF.
 Medel switchingaktivitet i data: 20%
 Medel switchingaktivitet i IO: 40%
 Strömförbrukning i RAM celler:
 - 128x8 bits enport RAM: 6 mW
 - 64x14 bits tvåport RAM: 87.75 mW
 Effektförbrukning i IO:
 - Bi-direktionella: $(292 + V_{DD}^2 C_L) \times f_{clk}$ (enheter är Volt, pF, μW och MHz)
 - Utgångar: $(121 + V_{DD}^2 C_L) \times f_{clk}$ (enheter är Volt, pF, μW och MHz)
 Den totala effektförbrukningen i klocknätet kan estimeras som:

$$P_{ck, total} = P_{load} \left(\frac{0.14}{t_r^2} + 1.065 \right)$$

där P_{load} = effektbidrag från vippornas last på klocknätet (clock-ingång + routinglast), t_r = maximal stig- och falltid på klocksignalen [ns]. Ange t_r i ns i formeln ovan.

- 7.5 Chippet i 7.4 har en timingmarginal i den mest kritiska datavägen på 3 ns. Hur mycket kan man få ner effektförbrukningen genom att sänka spänningen till den interna logiken (IO signalerna måste fortfarande hålla 3.3V).
- 7.6 chippet. Kostnaden för test är \$1.50 för båda. Bestäm vilket av dessa två chip som blir det billigaste alternativet (bortse från kostnader som uppstår på kretskortsnivå).

Föreläsning 7.1 Dynamiska grindar

- 7.7 Konstruera en full adderare uppdelat i två steg i följande tekniker
- C^2 MOS
 - Domino Logik
 - Statisk CVSL
 - TSPC

8.0 Logisk konstruktion av CMOS grindar

- 8.1 Implementera en 8-ingångars nand grind med minsta möjliga stig- och falltid. De tillgängliga grindarna är ett obegränsat antal n-input nand- och nor grindar ($n=1..8$), där 1-input nand grind är en inverterare (!). Dessa grindar är konstruerade med min. transistorer endast. Routing kapacitansen $q(k)$ är 1.
- 8.2 Rita en symbolisk layout för en 3-ingångars nand grind.
- 8.3 Vad är viktigt att ta hänsyn till då man gör en standard cell layout.

9.0 Transmissiongrind och passtransistorlogik

- 9.1 Bestäm RC-faktorn i en transmissionsgrind där utgången är ansluten till en inverterare via en $200\mu\text{m}$ lång metalledare.
- 9.2 Implementera följande logiska funktioner med passtransistorlogik, använd transmissionsgrindar.
 - a) $Z=AB$
 - b) $Z=A+B$
 - c) $Z = A \text{ xor } B \text{ xor } C \text{ xor } D$
 - d) $Z = \overline{A}C + A\overline{B}C + \overline{A}BC$

10.0 Minneselement

- 10.1 Vilka är för- och nackdelarna med enfasklockning jämfört med icke överlappande tvåfasklockning
- 10.2 Ta fram ett uttryck som beskriver maximal frekvens i ett
 - a) enfas-system
 - b) tvåfas system (icke överlappande klockfaser)
- 10.3 Beskriv hur en digital klockgenerator för icke-överlappande klocka fungerar
- 10.4 Beskriv två tekniker för att göra statiska latchar och jämför dem (ta fram deras för- och nackdelar)
- 10.5 Beskriv för- och nackdelarna med RAM cells baserade latchar.
- 10.6 Varför har man invertering av klocksignalen i vippan i sk. enfas vippor baserade på transmissionsgrindar. (Man spara två transistorer per vipa om man distribuerar inversen av klocksignalen)
- 10.7 Beskriv tekniker för att förhindra felfunktion i ett system där *clock skew* finns.

11.0 Klockdistribution och synkronisering

- 11.1 Beskriv principen för faslåst slinga (Phase Locked Loop = PLL)
- 11.2 Beskriv varför PLL:er på chip är användbara.

- 11.3 Förklara i vilka situationer meta-stabilitet förekommer
- 11.4 Beskriv vilka faktorer som är viktiga att tänka på då man konstruerar ett klockdistributionsnät (ta in en- och tvåfasklockning i resonemanget).

12.0 IO-strukturer

- 12.1 Vad är det som bestämmer bondpaddens storlek och inom vilket storleksområde brukar de vara ?
- 12.2 Beskriv de faktorer som bestämmer vilken typ av utgångspad man väljer.
- 12.3 Beskriv ingångspaddarnas övergripande funktion samt beskriv de komponenter som ingår och deras funktioner.
- 12.4 Beskriv de faktorer som bestämmer hur många V_{DD} och V_{SS} paddar man behöver.

13.0 Konstruktionsflöde för VLSI

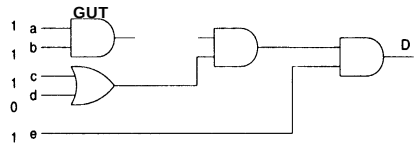
- 13.1 Beskriv vilka tekniker används för att hantera komplexa digitala konstruktioner samt vilken funktion var och en av dessa tekniker har.
- 13.2 Ange de fördelar och nackdelar hårdvarubeskrivande språk (t.ex VHDL) har jämfört med schemainmatning.
- 13.3 När i konstruktionsflödet måste konstruktionen verifieras ?
- 13.4 Beskriv vilka övervägande man måste göra vid val av simulator vid olika faser i konstruktionsarbetet.
- 13.5 Beskriv vad och hur man verifierar konstruktionen efter att layouten är färdig.

14.0 Testmetoder

- 14.1 Beskriv problematiken med test av komplexa digitala integrerade kretsar.
- 14.2 Vilka vanliga modeller finns för att beskriva fel ?
- 14.3 Vad innebär det när man säger att en krets har hög testbarhet
- 14.4 Beskriv två olika metoder att bestämma feltäckningsgrad i en krets.

Övningsuppgifter i Digital kretskonstruktion II

14.5 Ta fram testvektorer för att detektera SA0/SA1 fel i nedanstående krets. Samtliga möjliga vektorer ska tas fram.



14.6 Vilka konstruktionstekniker finns det för att öka testbarheten

14.7 Vilka fördelar finns det med inbyggd självtest ?

14.8 Beskriv hur full-scan fungerar med schema och timingdiagram.

14.9 Vad är I_{ddq} test ?