

Tentamen Digitalkretskonstruktion II

Datum: 2002-01-14

Skrivningstid: 5 timmar

Hjälpmedel: Physics Handbook, miniräknare

Kursansvarig: Bengt Oelmann, tel: 060-148792 / 070-2600287,

e-post: Bengt.Oelmann@ite.mh.se

max antal poäng: 100

Anvisningar för inlämnade lösningar:

- Resonemang och motiveringar får ej vara så knapphändiga att de blir svåra att följa.
 - Införda beteckningar skall definieras.
 - Tankegången bakom uppställda ekvationer skall förklaras.
 - Uträkningar skall vara tillräckligt fullständiga för att visa hur slutresultatet erhållits.
 - Approximationer och antaganden skall motiveras och underkastas efterkontroll.
 - Ange svaren med lämpligt antal gällande siffror.
 - Varje problemlösning skall avslutas med ett klart formulerat svar.
-

UPPGIFTER

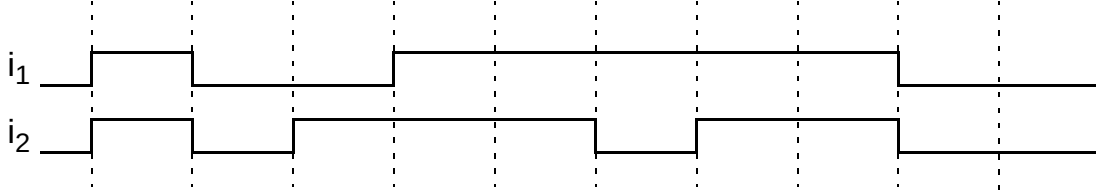
1. Konstruera en statisk CMOS grind för nedanstående logiska funktion f . Rita transistor-schema. (10 p)

$$f(x, y, z, w) = \overline{(x + y) \cdot z + w}$$

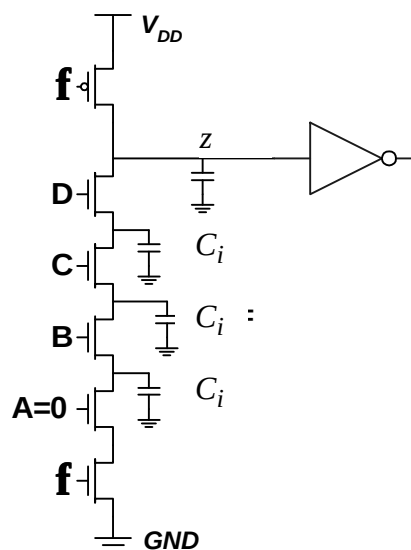
2. Mellan vilka värden kan en inverterares omslagspunkt V_I ligga då matningsspänningen är V_{dd} samt nMOS och pMOS transistorernas tröskelspänningar är v_{Tn} respektive v_{Tp} ? (10 p)

3. Ange vilka faktorer som bidrar till effektförbrukningen i CMOS logik. (8 p)

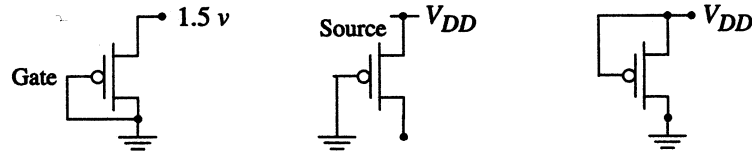
4. Den digitala CMOS inverteraren G förbrukar i medel $6.2 \mu\text{W}$ då sekvensen i_1 läggs på ingången I . Vad blir effektförbrukningen då sekvensen i_2 läggs på ingången I . (10 p)



5. I dynamiska grindar kan laddningsdelning orsaka problem då en laddningen på en dynamisk nod delas med andra kapacitiva noder då insignalerna till grinden ändras. Det kan leda till att spänningen på den dynamiska noden blir lägre än V_{DD} som kan leda till att både p- och nMOS träden i efterföljande grind leder samtidigt och en läckström (kortslutningsström) då uppstår. För kretsen nedan, antag att $\phi = 1$, $D = 0$, $C = 1$, $B = 1$ och $A = 0$ samt spänningen i noden z är V_{DD} . Vid en tidpunkt därefter ändras D till 1. Bestäm minsta värdet på kapacitansen i noden z så att strömläckage i inverteraren undviks. Matningsspänningen V_{dd} är 5V, pMOS transistorens tröskelspänning v_{Tp} är -0.7V och $C_i = 5 \text{ fF}$. (12 p)

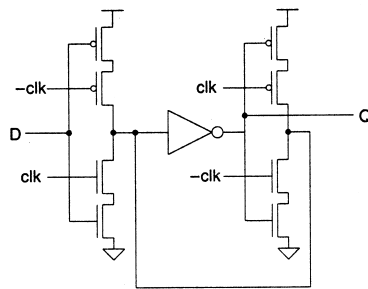


6. Bestäm samtliga möjliga arbetsområden för var och en av transistorerna i nedanstående kopplingar. (10 p)



7. Härled uttrycket för dynamisk effektförbrukning $P_{dynamisk} = C \cdot V_{DD}^2 \cdot \frac{1}{T}$. (12 p)

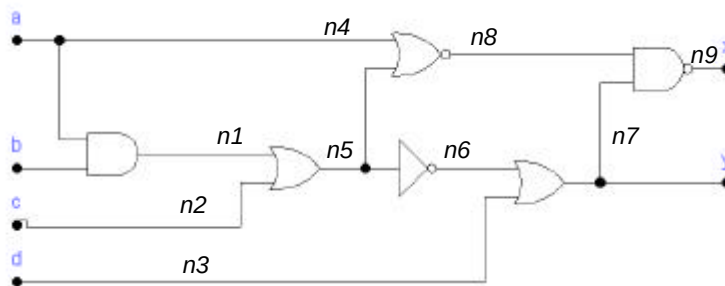
8. a) Konstruera en positivt flanktriggad *D-flip/flop* av *master-slave* typ baserad på latches given i figuren nedan. (6 p)



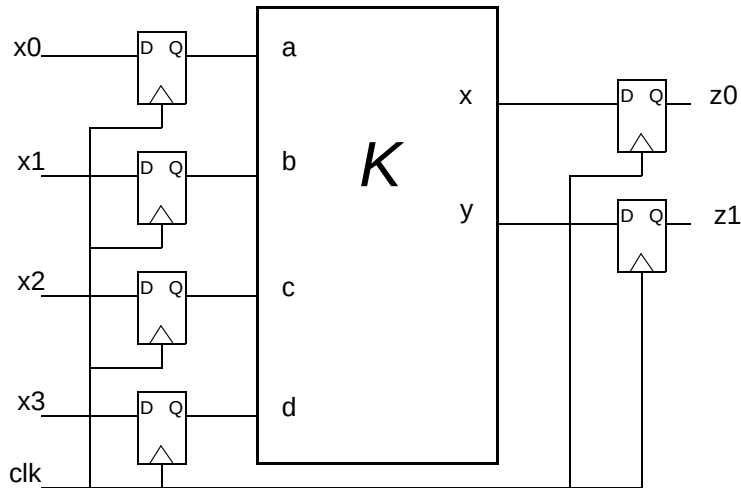
8. b) Konstruera en positivt flanktriggad *D-flip/flop* av *master-slave* typ baserad på latcharna givna i figuren nedan. Endast en av vardera latch-typ ska användas. (6 p)



9. Ta fram samtliga testvektorer som testar *stuck-at-0* och *stuck-at-1* fel i noden *n1* i det kombinatoriska nätet *K* givet i figuren nedan. (8 p)



10. Det kombinatoriska nätet K i uppgift 9 är placerat mellan ett registerpar enligt figuren nedan. a) Rita ett modifierat schema för kretsen så att *full-scan* kan användas. b) Rita ett timingdiagram som visar hur noden n testas med en av de framtagna testvektorn i uppgift 9. (8 p)



FORMELSAMLING

1:a ordningens ekvationer som beskriver nMOS transistorns beteende i de tre arbetsregionerna:

$$I_{DS} = 0; \quad V_{GS} - V_T \leq 0$$

$$I_{DS} = \beta_N \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad 0 < V_{DS} < V_{GS} - V_T$$

$$I_{DS} = \frac{\beta_N}{2} (V_{GS} - V_T)^2; \quad 0 < V_{GS} - V_T < V_{DS}$$

där

$$\beta_N = (\mu_n \epsilon_0 \epsilon_{SiO_2} / t_{ox}) \cdot (W/L); \quad \beta_P = (\mu_p \epsilon_0 \epsilon_{SiO_2} / t_{ox}) \cdot (W/L)$$

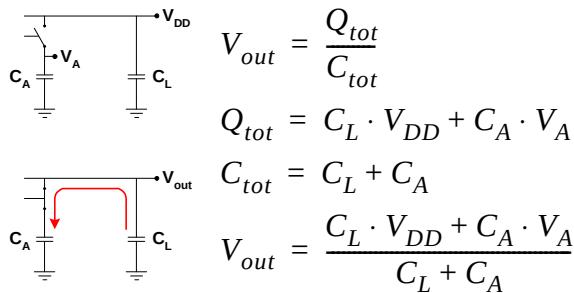
$$V_T = V_{T0} + \gamma (\sqrt{|V_{SB}| + 2|\phi_B|} - \sqrt{2|\phi_B|})$$

Definition av k' : $k_p' = \mu_p \epsilon_0 \epsilon_{SiO_2} / t_{ox}$; $k_n' = \mu_n \epsilon_0 \epsilon_{SiO_2} / t_{ox}$

Dynamisk effektförbrukning i CMOS:

$$P_{dynamisk} = C \cdot V_{DD}^2 \cdot \frac{1}{T}$$

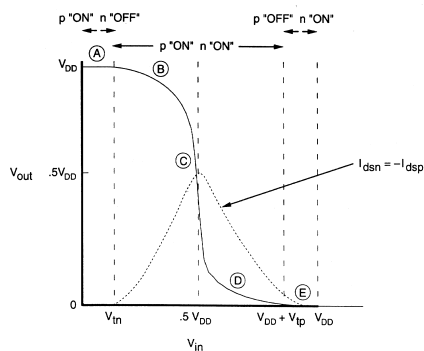
Laddningsdelning:



Approximation av stig- och falltid i en CMOS grind:

$$t = k \times \frac{C}{\beta \cdot V_{DD}} \quad \text{där } k \text{ är en teknologikonstant och } C \text{ kapacitiv last}$$

CMOS inverterarens DC-mässiga överföringsfunktion:



Relation giltig i punkten $dV_{out}/dV_{in} = -1$ i region B:

$$V_{in} \left(1 + \frac{\beta_n}{\beta_p} \right) = 2 \cdot V_{out} - (V_{DD} - |V_{Tp}|) + \frac{\beta_n}{\beta_p} \cdot V_{Tn}$$

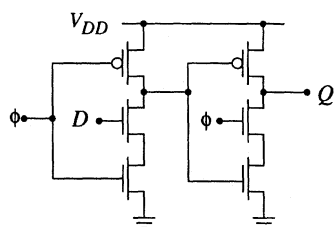
Relation giltig i punkten $dV_{out}/dV_{in} = -1$ i region D:

$$V_{in} \left(1 + \frac{\beta_p}{\beta_n} \right) = 2 \cdot V_{out} + V_{Tn} + \frac{\beta_p}{\beta_n} \cdot (V_{DD} - |V_{Tp}|)$$

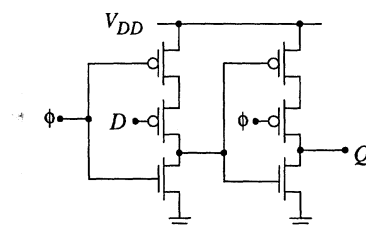
En grinds omslagspunkt V_I , d.v.s då $V_{in} = V_{out}$

$$V_I = \frac{V_{DD} - |V_{Tp}| + V_{Tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

TSPC latchar:



(a) n-block latch



(b) p-block latch

Symbol	Förklaring
β	MOS transistorens transkonduktans parameter [A/V ²]
μ_n	eletronmobilitet [m ² /Vs]

Symbol	Förklaring
μ_p	hålmobilitet [m^2/Vs]
ϵ_0	permabilitet $8.854 \cdot 10^{-12}$ [As/Vm]
ϵ_{SiO_2}	di-elektrisk konstant för kiseldioxid (3.9)
t_{ox}	tjocklek för gate-oxiden
W	kanalbredd [m]
L	kanallängd [m]
V_T	tröskelspänning [V]
V_{T0}	tröskelspänning vid $V_{\text{SB}}=0$ [V]
γ	bulk-tröskel parameter [$\text{V}^{0.5}$]
V_{SB}	Source till bulk spänning [V]
ϕ_B	Ytpotential vid kraftig inversion [V]
C	switchande kapacitans [F]
T	klockperiod [s]
α	sannolikheten att en datasignal gör en transition under en klockperiod
