

Tentamen Digital Kretskonstruktion 5p

Datum: 1998-10-30

Hjälpmedel: Physics Handbook, miniräknare

Kursansvarig: Bengt Oelmann, tel: 148792, e-post: bengt@ite.mh.se

max. antal poäng: 54

antal poäng för godkänt: ≥ 26

antal poäng för väl godkänt ≥ 39

Anvisningar för inlämnade lösningar:

- Resonemang och motiveringar får ej vara så knapphändiga att de blir svåra att följa.
- Införda beteckningar skall definieras.
- Tankegången bakom uppställda ekvationer skall förklaras.
- Uträkningarna skall vara tillräckligt fullständiga för att visa hur slutresultatet erhållits.
- Approximationer ska motiveras och underkastas efterkontroll.
- Ange svaren med lämpligt antal gällande siffror
- Varje problemlösning skall avslutas med ett klart formulerat svar.

UPPGIFTER

1. Konstruera CMOS grindar för nedanstående logiska funktion (4 p)

• a) $\overline{C} = ((C_0 P_0 + G_0) P_1 + G_1) P_2 + G_2) P_3 + G_3$

• b) $z = f(a,b,c)$ enligt tabellen nedan

a	b	c	z
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

2. Rita upp vertikalsnittet (genomskärning) för en CMOS inverterare så att dess fysiska struktur illustreras. Namnge även de olika områdena. (4 p)

3. Ta fram V_{OL} och V_{OH} för inverteraren i figur 1. $V_{DD}=5.0V$, $V_{T0}=1.0V$, $\gamma=0.39V^{0.5}$, $\phi_B=0.3V$, $\beta_{driver}/\beta_{load}=8$ (8 p)

4. Kan man minska RC-faktorn i en signalledare genom att ändra dimensionerna för den? Motivera svaret. (2 p)

5. Dimensionera en 4-ingångars nand-grind för symmetriskt omslag, samt bestäm den totala switchande kapacitansen i grinden och jämför med en motsvarande grind i min. transistorer. Antag att $C_{gate} = C_{drain} = C_{source} = C_g$ för min. transistorerna samt att C_g är direkt proportionellt mot W/L . (6 p)

6. I en modul med logiska grindar är switchingaktiviteten $\alpha = 20\%$ på datasignalerna, den totala switchande kapacitansen uppskattas till 150pF. Vad blir den dynamiska effektförbrukningen, om man bortser från kortslutningseffekten och klocknätets effektförbrukning, vid 40MHz och $V_{DD} = 3.3V$. (4 p)

7. I en mikroprocessor drivs alla bitar samtidigt i en utgångsbuss på 32 bitar av CMOS buffrar med låg impedans. Ledningsimpedansen, som buffrarna driver, är 50Ω och stigtiden är 1.5ns med ett spänningssving på 5V. Det största tillåtna variationen på matningsspänningen är 0.30V. Bestäm hur många par med V_{DD} och V_{SS} paddar som krävs för att uppnå detta krav. Varje par av V_{DD}/V_{SS} pad-anslutning har en induktans på 1.5nH. (6 p)

8. Konstruera full-adderare som har en klockcykels fördröjning med följande tekniker:

- a) C²MOS
- b) TSPC

Ledning: $e = a \cdot \overline{c \cdot i n} + \overline{a} \cdot c \cdot i n$; $sum = e \cdot \overline{b} + \overline{e} \cdot b$; $cout = e \cdot b + \overline{e} \cdot c \cdot i n$

(6 p)

9. Implementera följande funktion med passtransistorlogik: $C_4 = (C_0 P_0 + G_0) P_1$

(4 p)

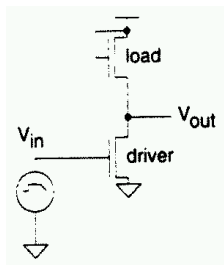
10. Gefyra

exempel på situationer där PLL (Phase Locked Loop) på chippet kan vara användbart vid klockning av kretsen. (4 p)

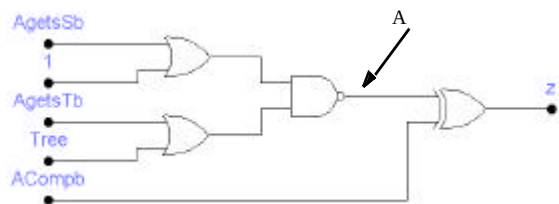
11. Ta fram testvektorer m.h.a D-algoritmen för att detektera SA0/SA1 fel i nod A i kretsen i figur 2. Observerbara och Kontrollerbara noder är: *AgetsSb, AgetsTb, Tree, ACompb, Z*. Samtliga vektorer ska tas fram. (6 p)

FIGURER

Figur 1.



Figur 2.



FORMELSAMLING

1:a ordningens ekvationer som beskriver nMOS transistorens beteende i de tre arbetsregionerna:

$$I_{DS} = 0; \quad V_{GS} - V_T \leq 0$$

$$I_{DS} = \beta (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2}; \quad 0 < V_{DS} < V_{GS} - V_T$$

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2; \quad 0 < V_{GS} - V_T < V_{DS}$$

där

$$\beta_n = (\mu_n \epsilon_0 \epsilon_{SiO_2} / t_{ox}) \cdot (W/L); \quad \beta_p = (\mu_p \epsilon_0 \epsilon_{SiO_2} / t_{ox}) \cdot (W/L)$$

$$V_T = V_{T0} + \gamma (\sqrt{|V_{SB}| + 2|\phi_B|} - \sqrt{2|\phi_B|})$$

Dynamisk effektförbrukning i CMOS:

$$P_{dynamisk} = C \cdot V_{DD}^2 \cdot \frac{1}{T}$$

Symbol	Förklaring
β	MOS transistorens transkonduktans parameter [A/V^2]
μ_n	eletronmobilitet [m^2/Vs]
μ_p	hålmobilitet [m^2/Vs]
ϵ_0	permabilitet $8.854 \cdot 10^{-12}$ [As/Vm]
ϵ_{SiO2}	di-elektrisk konstant för kiseldioxid (3.9)
t_{ox}	tjocklek för gate-oxiden
W	kanalbredd [m]
L	kanallängd [m]
V_T	tröskelspänning [V]
V_{T0}	tröskelspänning vid $V_{SB}=0$ [V]
γ	bulk-tröskel parameter [$V^{0.5}$]
V_{SB}	Source till bulk spänning [V]
ϕ_B	Ytpotential vid kraftig inversion [V]
C	switchande kapacitans [F]
T	klockperiod [s]
α	sannolikheten att en datasignal gör en transition under en klockperiod