

Tentamen Digital Kretskonstruktion 5p

Datum: 1999-01-07

Hjälpmedel: Physics Handbook, miniräknare

Kursansvarig: Bengt Oelmann, tel: 148792, e-post: bengt@ite.mh.se

max. antal poäng: 48

antal poäng för godkänt: ≥ 24

antal poäng för väl godkänt ≥ 36

Anvisningar för inlämnade lösningar:

- Resonemang och motiveringar får ej vara så knapphändiga att de blir svåra att följa.
- Införda beteckningar skall definieras.
- Tankegången bakom uppställda ekvationer skall förklaras.
- Uträkningarna skall vara tillräckligt fullständiga för att visa hur slutresultatet erhållits.
- Approximationer ska motiveras och underkastas efterkontroll.
- Ange svaren med lämpligt antal gällande siffror
- Varje problemlösning skall avslutas med ett klart formulerat svar.

UPPGIFTER

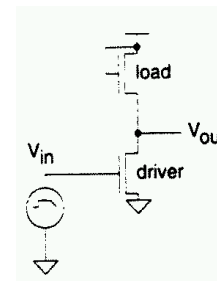
1. Konstruera CMOS grindar för nedanstående logiska funktioner (4 p)

- a) $Q_2 = \overline{Q_1} \cdot \overline{Q_0} \cdot \text{HAZ} \cdot \text{RIGHT} + \overline{Q_2} \cdot \overline{Q_0} \cdot \overline{Q_0} \cdot \text{HAZ} + \overline{Q_1} \cdot \overline{Q_0}$, där Q_0 , Q_1 , Q_2 , HAZ och RIGHT är digitala signaler.
- b) $z = f(a,b,c)$ enligt tabellen nedan

a	b	c	z
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

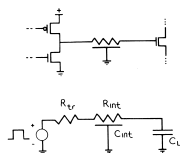
2. Rita upp vertikalsnittet (genomskärning) för en substratkontakt till p-well samt en substratkontakt till n-substrat i en CMOS process med n-substrat. (4 p)

3. Ta fram V_{OL} och V_{OH} för inverteraren i figuren nedan. $V_{DD}=3.3V$, $V_{T0}=0.7V$, $\gamma=0.39V^{0.5}$, $\phi_B=0.3V$, $\beta_{driver}/\beta_{load}=4$ (8 p)

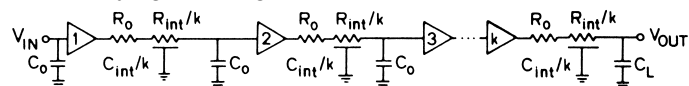


4. En approximation av fördröjningen i en ledare som modelleras som en distribuerad RC-fördröjning kan beskrivas som

$$T_{ab} = (0.7 \cdot R_{tr} + 0.4 \cdot R_{int}) C_{int} \quad \text{för } C_L \ll C_{int}$$



Bestäm antalet segment en ledare med resistans R_{int} och kapacitansen C_{int} ska ha då den ska drivas med drivare som sätts in med jämna mellanrum längs ledaren (repeaters) så att den minsta fördröjningen fås, se figuren nedan.



R_o = drivar-transistorns on-resistans, C_o = drivarens in-kapacitans, k = antal segment.

Sök $k_{optimum}$ (6p)

5. Dimensionera en 3-ingångars nor-grind för symmetriskt omslag, samt bestäm den totala switchande kapacitansen i grinden och jämför med en motsvarande grind i min. transistorer. Antag att $C_{gate} = C_{drain} = C_{source} = C_g$ för min. transistorerna samt att C_g är direkt proportionellt mot W/L . (6 p)

6. I en modul med logiska grindar är switchingaktiviteten $\alpha = 20\%$ (se definitionen av α i formelsamlingen längs bak) på datasignalerna, den totala switchande kapacitansen uppskattas till 175pF. Vad blir den dynamiska effektförbrukningen, om man bortser från kortslutningseffekten och klocknätets effektförbrukning, vid 33MHz och $V_{DD} = 2.7V$. (4 p)

8. Konstruera följande funktion med CMOS Domino logik: $z = a \cdot (b + c) + d \cdot e$ (2 p)

9. Konstruera följande logiska funktion med passtransistorlogik, använd nMOS transistor som passtransistor: $z = a \cdot c + a \cdot b \cdot c + a \cdot b \cdot c$ (4 p)

10. Förklara begreppet meta-stabilitet, hur det uppkommer och vilka konsekvenser det har i ett synkront digitalt system (4 p)

11. Beskriv hur full-scan fungerar, använd schema och timing-diagram (6 p)

FORMELSAMLING

1:a ordningens ekvationer som beskriver nMOS transistorens beteende i de tre arbetsregionerna:

$$I_{DS} = 0; \quad V_{GS} - V_T \leq 0$$

$$I_{DS} = \beta (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2}; \quad 0 < V_{DS} < V_{GS} - V_T$$

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2; \quad 0 < V_{GS} - V_T < V_{DS}$$

där

$$\beta_n = (\mu_n \epsilon_0 \epsilon_{SiO_2} / t_{ox}) \cdot (W/L); \quad \beta_p = (\mu_p \epsilon_0 \epsilon_{SiO_2} / t_{ox}) \cdot (W/L)$$

$$V_T = V_{T0} + \gamma (\sqrt{|V_{SB}| + 2\phi_B} - \sqrt{2\phi_B})$$

Dynamisk effektförbrukning i CMOS:

$$P_{dynamisk} = C \cdot V_{DD}^2 \cdot \frac{1}{T}$$

Symbol	Förklaring
β	MOS transistorens transkonduktans parameter [A/V^2]
μ_n	eletronmobilitet [m^2/Vs]
μ_p	hålmobilitet [m^2/Vs]
ϵ_0	permabilitet $8.854 \cdot 10^{-12}$ [As/Vm]
ϵ_{SiO2}	di-elektrisk konstant för kiseldioxid (3.9)
t_{ox}	tjocklek för gate-oxiden
W	kanalbredd [m]
L	kanallängd [m]
V_T	tröskelspänning [V]
V_{T0}	tröskelspänning vid $V_{SB}=0$ [V]
γ	bulk-tröskel parameter [$V^{0.5}$]
V_{SB}	Source till bulk spänning [V]
ϕ_B	Ytpotential vid kraftig inversion [V]
C	switchande kapacitans [F]
T	klockperiod [s]
α	sannolikheten att en datasignal gör en transition under en klockperiod