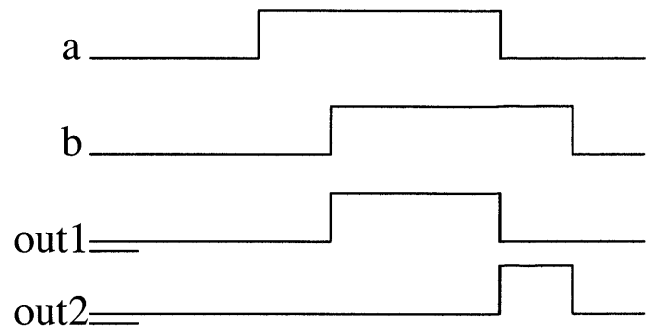


U1.1 I följande stycken kod ska en val-struktur läggas in. Ingen annan kod ska läggas in mer än denna. Vid "Ny kod här" ska val-strukturen läggas in. Kryssa för vilken eller vilka satser som är möjliga att lägga in för de två VHDL-programmen. (8 p)

VHDL-program	Val-struktur
<pre>architecture U1_1 of D1 is begin process (clk) is begin Ny kod här end process; end U1_1;</pre>	☐ IF-THEN ☐ WHEN-ELSE ☐ CASE-WHEN ☐ WITH-SELECT
<pre>architecture U1_1 of D1 is begin Ny kod här process (clk) is begin end process; end U1_1;</pre>	☐ IF-THEN ☐ WHEN-ELSE ☐ CASE-WHEN ☐ WITH-SELECT

U1.2 Rita vågformerna för utgångarna *out1* och *out2*. (8 p)

```
architecture U1_2 of D1 is
  signal int_s : std_logic;
begin
  process(a,b)
    variable int_v : std_logic;
  begin
    int_v := a and b;
    int_s <= a and b;
    out1 <= int_v;
    out2 <= int_s;
  end process;
end U1_2;
```



U1.3 Peka ut felet i nedanstående VHDL-kod. Föreslå förändring som gör att koden blir riktig. (8 p)

Lösningsförslag

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity U1_3 is
  port (
    a0, a1, a2 : in std_logic;
    x0,x1: out std_logic);
end U1_3;

architecture rtl of U1_3 is
begin - rtl
  process (a0, a1, a2)
    x0 <= a0 and a1 and x1;
    x1 <= a0 or a2;
  end process;
end rtl;
```

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity U1_3 is
  port (
    a0, a1, a2 : in std_logic;
    x0,x1: out std_logic);
end U1_3;

architecture rtl of U1_3 is
begin - rtl
  process (a0, a1, a2)
    variable x_temp: std_logic;
  begin
    x_temp := a0 or a2;
    x0 <= a0 and a1 and x_temp;
    x1 <= x_temp;
  end process;
end rtl;
```

U1.4 Skriv VHDL-kod för en 1-bits full-adderare. Koden ska bestå av *entitets*-deklaration och *arkitektur* där själva funktionen för full-adderaren ska skrivas i en *process*. (8 p)

```
Library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity fa is
  port (
    a, b, cin : in std_logic;
    s, cout : out std_logic);
end fa;

architecture rtl of fa is
begin
  s <= a xor b xor cin;
  cout <= (a and b) or (b and cin) or (cin and a);
end rtl;
```