

Ö3.1

Signalen z är deklarerad som en utsignal (out) men används på högersida i en tilldelningssats ($x \leq a \text{ and } b \text{ and } z$), vilket inte är tillåtet.

Ö3.2

Utgången z kommer att gå från '1' till '0'.

Ö3.3

tid	a,b,x	drivare	kommentar
0 ns	1, 0, 1	(1,0ns), (1, 1ns)	Körs p.g.a initiering
1 ns	1, 0, 1	(1,1ns)	Nytt värde på x
3 ns	1, 1, 1	(1,1ns), (1, 4ns)	Nytt värde på b
4 ns	1, 1, 1	(1, 4ns)	Nytt värde på x
6 ns	0, 0, 1	(1, 6ns), (0, 7ns)	Nytt värde på a och b
7 ns	0, 0, 0	(0, 7ns)	Nytt värde på x

Ö3.4

$$e = (a \text{ xor } (ab))d + (a \text{ xor } (a+b))d$$