

Ö2.1 Skriv VHDL-kod, entity och arkitektur till nedanstående beskrivning

Entity-namn: C2_1
 Arkitekturnamn: A2_1
 Insignaler: x (integer)
 Utsignaler: z (integer)

Funktion: Varje gång signalen x ändrar värde ska värdet $x+10$ tilldelas z.

Ö2.2 Skriv VHDL-kod, entity och arkitektur till nedanstående beskrivning

Entity-namn: C2_2
 Arkitekturnamn: A2_2
 Insignaler: x, y (std_logic)
 Utsignaler: z (std_logic)

Funktion: Varje gång signalen x eller y ändrar värde ska värdet av (x AND y) tilldelas z.

Ö2.3 Skriv VHDL-kod, entity och arkitektur till nedanstående beskrivning

Entity-namn: C2_3
 Arkitekturnamn: A2_3
 Insignaler: x0, x1 (std_logic)
 Utsignaler: z (std_logic)

x0	x1	z
0	0	1
0	1	0
1	0	1
1	1	1

Ej angivna tillstånd ska vara 0
 Beteende: z ska ha funktionsvärde enligt sanningstabellen

Ö2.4 Skriv VHDL-kod, entity och arkitektur till nedanstående beskrivning

Entity-namn: C2_4
 Arkitekturnamn: A2_4
 Insignaler: x0, x1, x2 (std_logic)
 Utsignaler: z (std_logic)

Beteende: z ska ha funktionsvärde enligt en 3-ingångars XOR-funktion

Ö2.5 Vad betyder VHDL ?

Ö2.6 När standardiserades VHDL ?

Ö2.7 Vad står förkortningen RTL för och vad innebär RTL-kod ?