

Ö3.1 Peka ut felet som finns i VHDL-koden nedan och föreslå en korrekt lösning

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity exc_F2_2 is
    port (
        a, b, c : in std_logic;
        x,z: out std_logic);
end exc_F2_2;
architecture rtl of exc_F2_2 is
begin -- rtl
    z <= b or c;
    x <= a and b and z;
end rtl;
```

Ö3.2 Vad blir värdet på utsignalen z då ingångarna $\{x_2, x_1, x_0\}$ går från $\{0,1,1\}$ till $\{1,1,1\}$?

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity exc_F2_3 is
    port (
        x2, x1, x0: in std_logic;
        z: out std_logic);
end exc_F2_3;
architecture rtl of exc_F2_3 is
    signal a,b : std_logic;
begin -- rtl
    z <= x1 and b;
    a <= x0 and x1 and x2;
    b <= a xor x0;
end rtl;
```

Ö3.3 Schemalägg drivningen av signalerna i en tabell (se nedan) för följande prosessexekvering:

```
process(a, b)
begin
    z <= a or b after 1 ns;
end process;
```

antag att $a='1'$, $b='0'$ och $x='1'$ vid simuleringstiden = 0.

Vid tidpunkten 3ns blir $b='1'$ och vid tidpunkten 6ns blir $a='0'$ och $b='0'$.

tid	a,b,x	drivare	kommentar
0 ns	1, 0, 1		

Ö3.4 Ta fram det booleska uttrycket utan att förenkla det för utsignalen e i den strukturella beskrivningen nedan.

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity exc_F2_4 is
  port (
    a, b, c, d: in std_logic;
    e: out std_logic);
end exc_F2_4;

architecture rtl of exc_F2_4 is
  signal s0, s1, s2, s3 : std_logic;
begin -- rtl
    U0 : and2 port map (i0 => a, i1 => b, z => s0);
    U1 : or2 port map (i0 => a, i1 => b, z => s1);
    U2 : or2 port map (i0 => s2, i1 => s3, z => e);
    U4 : cl port map (i0 => a, i1 => s0, i2 => d, z => s2);
    U5 : cl port map (i0 => a, i1 => s1, i2 => d, z => s3);
end rtl;

```

Komponentnamn	Logisk funktion
and2	$z = i0 \cdot i1$
or2	$z = i0 + i1$
cl	$z = (i0 \text{ xor } i1) \cdot i2$