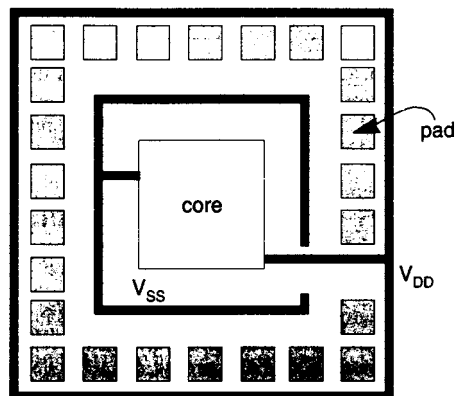


F12: IO-strukturer

- **Målsättning**
 - Ge en översikt över chippets IO-organisationen
 - Beskriva de krav som finns på de olika typerna av paddar
- **Innehåll**
 - IO-arkitektur
 - VDD och VSS paddar
 - Utgångspaddar
 - Ingångspaddar
 - ingångsskydd
 - Bi-direktionella paddar

1 (13)

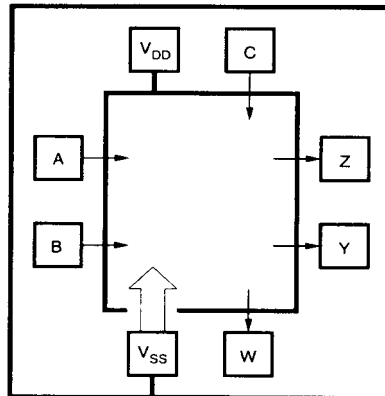
IO-arkitektur



- varje pad har en yta stor nog för att fästa en bondtråd
- standard höjd och bredd lämpligt för automatisk generering av padram
- V_{DD} och V_{SS} ledare går rakt genom
- placering av paddar är beroende av pinnarnas ordning på kapseln

2 (13)

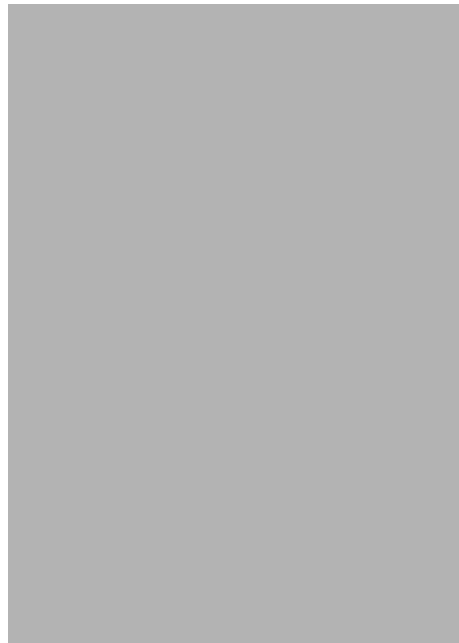
Olika typer av paddar



- matningsspänning V_{DD} och V_{SS}
- ingångspaddar
- utgångspadda
- bi-direktionella paddar

3 (1 3)

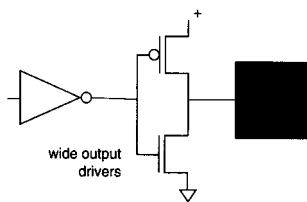
V_{DD} och V_{SS} paddar



4 (1 3)

Utgångspaddar

- **Utgångspad väljs utifrån**
 - Hur stor kapacitiv last som ska drivas (typisk last ligger mellan 10-100pF)
 - maximum omslagshastighet (slew-rate begränsning)
 - DC-karakteristik om det inte är CMOS laster som ska drivas
 - Andra omslagsnivåer än CMOS, t.ex TTL
- **Problem som är relaterade till att stora laster switchas av utpaddar**
 - di/dt brus
 - elektromigration
 - antal utpaddar styr hur många VDD/VSS paddar man behöver
 - Krav på separat matning till paddar och 'core'



5 (1 3)

Ingångspaddar

• ESD-skydd (Electro Static Discharge)

En liten laddning på CMOS ingång kan bygga upp en stor spänning, exempel:

$$V = \frac{I}{C_g} \Delta t$$

Om $I = 10\mu A$, $C_g = 0.03 \text{ pF}$, $\Delta t = 1 \text{ ms}$ resulterar det i en spänning $V = 330 \text{ V}$

Vid en spänning mellan 40 och 100V får man genombrott i gate-oxiden och transistorn brinner upp!

ESD-skydd består av dioder och resistorer

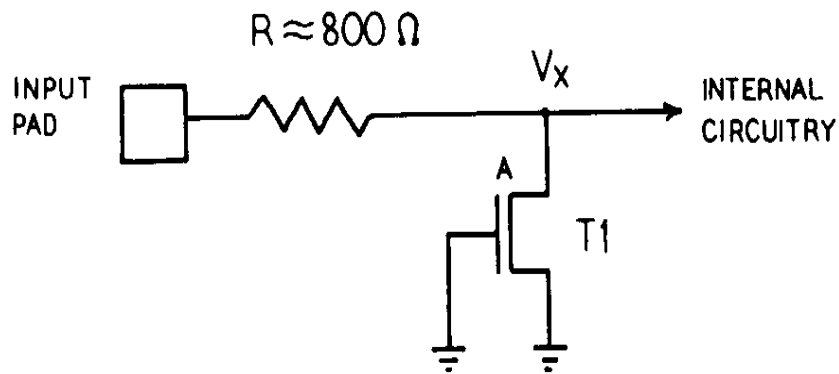
ESD skador kan uppkomma vid

- wafer processering
- sågning av skivorna till chip
- kapsling
- test
- motering på kretskort
- transport och i fält

6 (1 3)

nMOS ingångsskydd

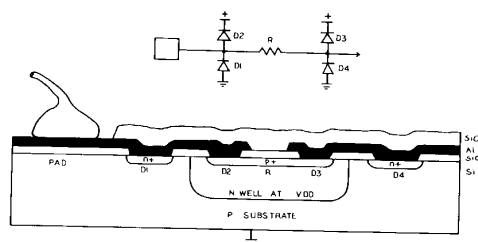
- $V_x \gg V_{DD}$, T1 leder pga genombrott, strömmen begränsas av R så att T1 inte brinner upp.
- $V_x < V_{TN}$, T1 leder normalt
- Ingångsspänning kommer då att begränsas till $-V_{TN} < V_x < V_{genombrott}$



7 (13)

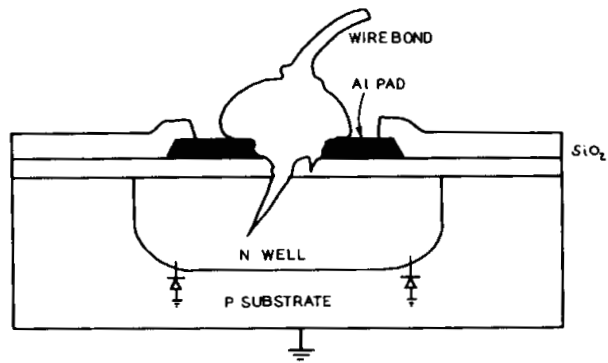
CMOS ingångsskydd

- Flytande n-well under paddarna förhindrar metall att vandra ner i substratet, bildar också en backspänd diod (D1).
- Fältoxid-transistor med V_T mellan 15 och 25 V. Robust och tar de största spänningstransienterna
 - om $V_x < -V_T$ öppnar T1 och D1
 - om $V_x < V_{BEon}$ öppnar D1
 - om $V_x > V_{punch-through}$ öppnar T1
- D2,D3 filtrerar bort spikar med lägre energier som slipper genom D1 och T1. Inte lika robust som T1 och D1



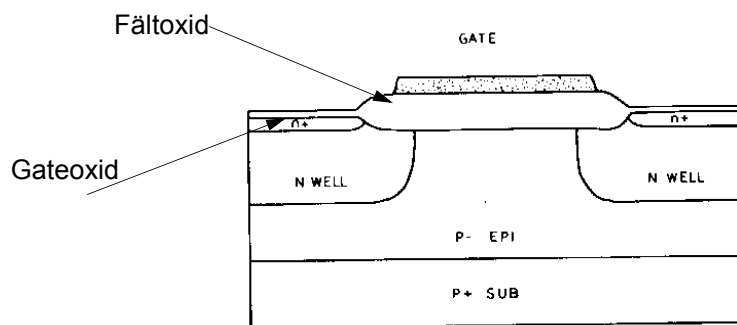
8 (13)

wire-bond spiking



9 (13)

Fält-oxid transistor



$$V_T = 2\phi_b + \frac{Q_b \cdot t_{ox}}{\epsilon_{ox}}$$

10 (13)

Bi-direktionella- och tri-state paddar



11 (13)

Exempel på övriga paddar

- pull-up och pull-down
- slew-rate begränsade
- inbyggd schmitt-trigger
- inbyggda register och latchar på ingångs-paddar
- inbyggda register och latchar på utgångs-paddar
- Analoga in/ut-paddar

12 (13)

Summering

- Paddar konstrueras normalt inte av en IC konstruktör eftersom detaljerad kunskap krävs om processen
- Planering av hur vilka paddar, många paddar och var i padramen de ska sitta måste ske tidigt i konstruktionsfasen