

F9: Transmissionsgrind och passtransistor logik

- Målsättning

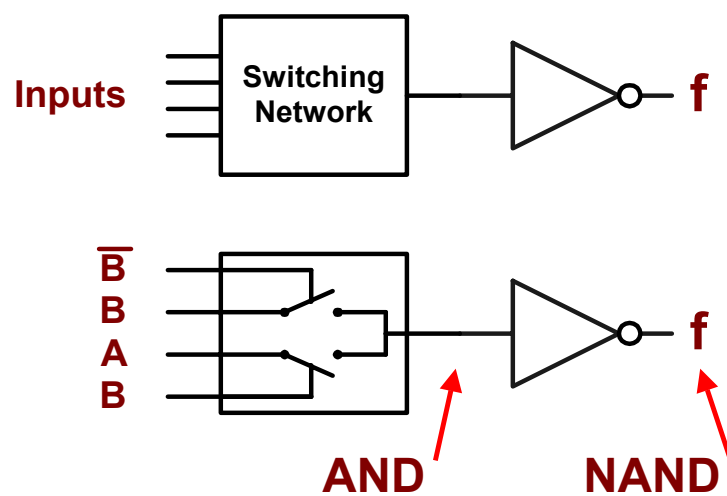
- Ge en grundläggande analys av transmissionsgrindens egenskaper samt metodik för att använda transmissionsgrinden för att konstruera logiska funktioner.

- Innehåll

- Passtransistorn som konstruktionselement
- Syntes av passtransistorlogik

1 (2 5)

Passtransistorlogik

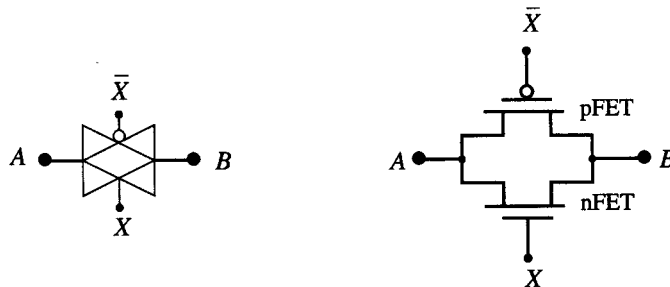


2 (2 5)

nMOS och pMOS ledningskarakteristik

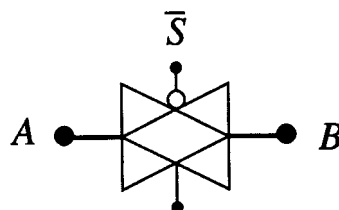
Komponent	ledning av '1'	ledning av '0'
nMOS	dålig	bra
pMOS	bra	dålig

I transmissionsgrinden kompletterar pMOS och nMOS varandra genom parallellkopplingen så att den leder '1' och '0' bra.



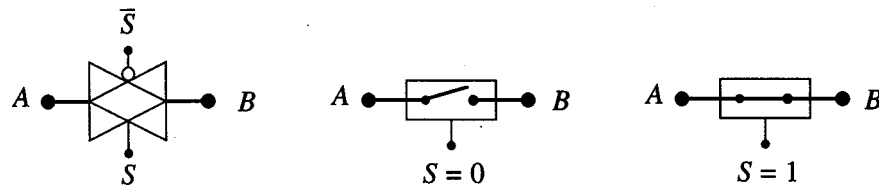
Transmissionsgrind - symbol

En transmissionsgrind är en logiskt kontrollerbar switch som kan användas för att konstruera logiska nät av vitt skilda slag.



A och B är datavariabler (kallas också för passvariabler) och S (och $\bar{S}$) är kontrollvariabel.

Transmissionsgrind - funktion



Funktion: värdet på biten S bestämmer om vägen mellan vänster (A) och höger (B) sida är öppen eller sluten.

S=0: ingen väg mellan A och B finns. Det finns alltså inget samband mellan värdena för A och B.

S=1: En sluten väg finns mellan A och B där $B=A$.

Logiska uttryck:

a) S=0 betyder att B ej påverkas av A

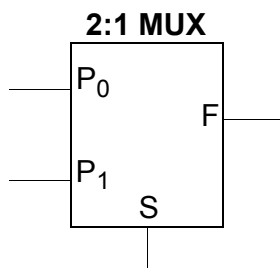
b) S=1 betyder att $B=A$

Den logiska ekvationen blir då:

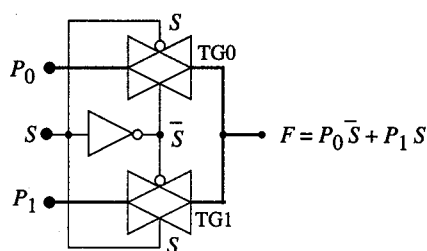
$B = A \cdot B$ då S=1

för S=0 är B ej definierad.

Exempel: Multiplexer med TG



Symbol



Kretsschema

S	F
0	P_0
1	P_1

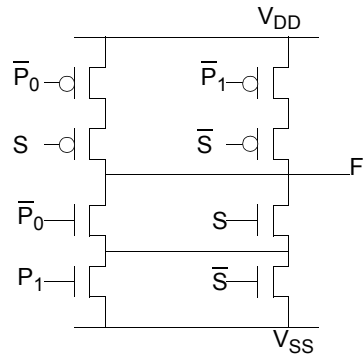
S=0: TG0 är sluten (leder)
TG1 är öppen (avbrott)
 $\rightarrow F = P_0$

S=1: TG0 är sluten (leder)
TG1 är öppen (avbrott)
 $\rightarrow F = P_1$

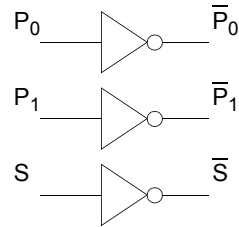
$F = P_0 \cdot \bar{S} + P_1 \cdot S$

Exempel: Multiplexer med statiska grindar

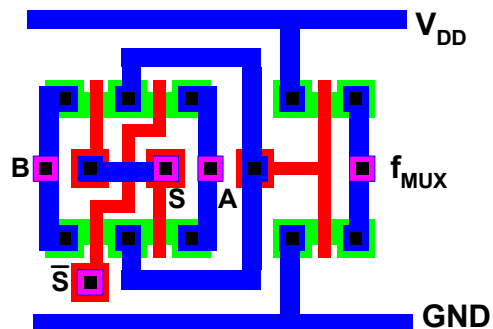
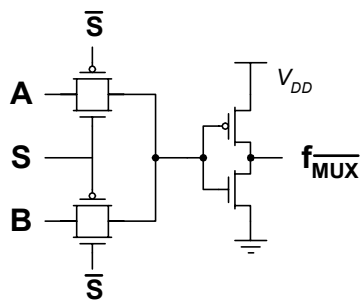
Funktion: $F = P_0 \cdot \bar{S} + P_1 \cdot S$



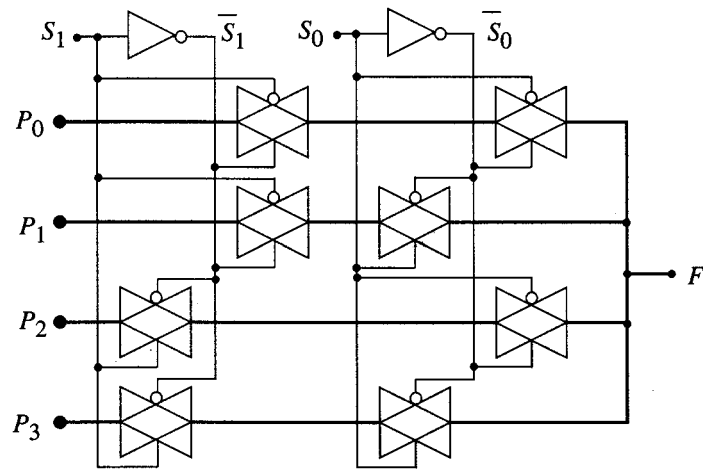
14 transistorer



Exempel: Multiplexer med TG



Exempel: 4:1 multiplexer baserat på TG

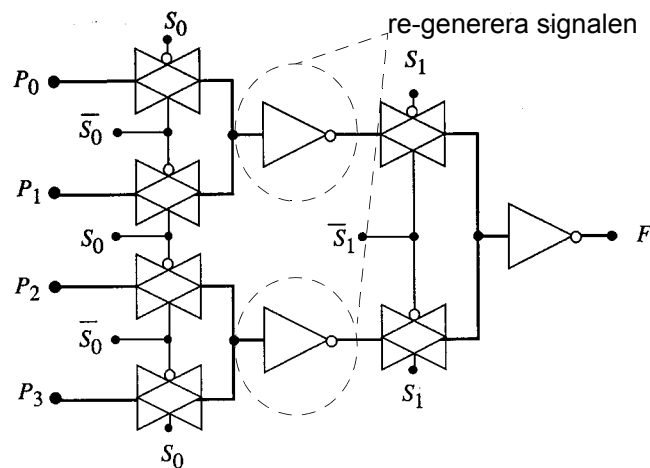


9 (2 5)

Alternativ lösning för 4:1 multiplexer

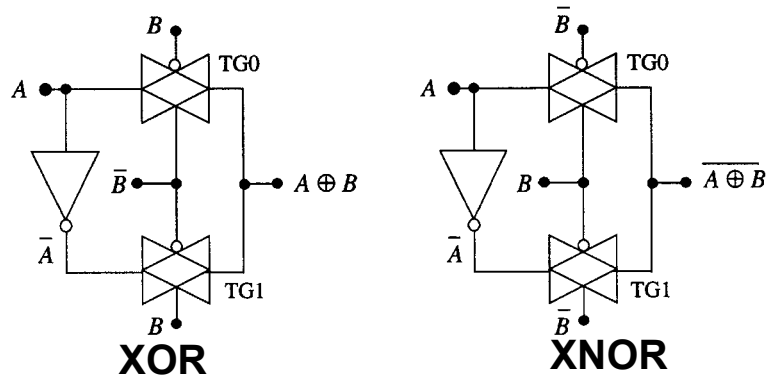
Stora multiplexerar som är baserade på transmissionsgrindar kan bli långsamma eftersom signalen passerar transmissionsgrindar som är ett RC-element.

Problemet kan lösas genom att "re-generera" signalen m.h.a inverterare (eller buffer).



10 (2 5)

XOR och XNOR grind baserad på TG



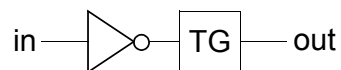
Baserar sig på MUX strukturen där insignalen B är kontrollsignal till A.

$B=1 : F = \bar{A} \quad (B \cdot \bar{A})$
 $B=0 : F = A \quad (\bar{B} \cdot A)$

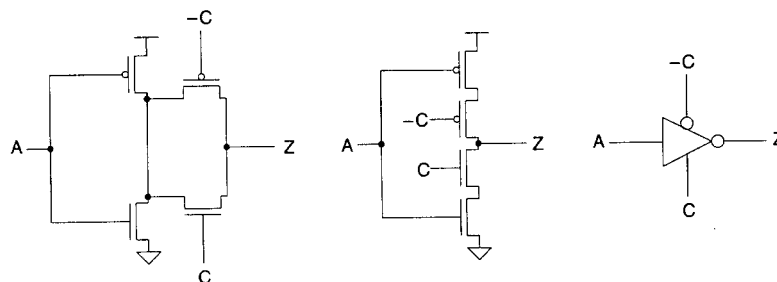
Hela funktionen är

$$F = B \cdot \bar{A} + \bar{B} \cdot A$$

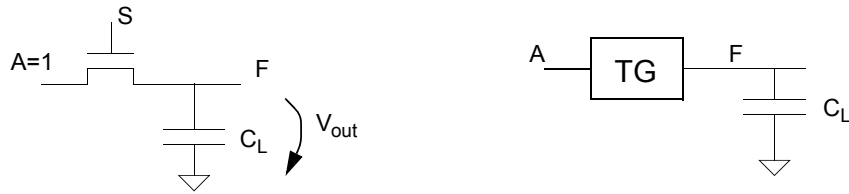
Three-state inverteraren



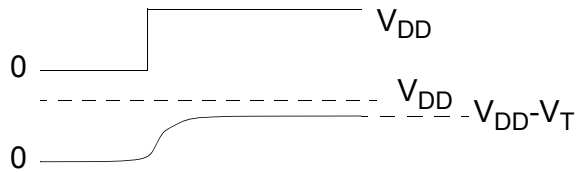
• Transistorschema



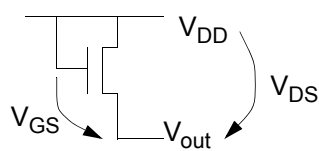
nMOS och pMOS som transmissionsgrind



Uppladdning via nMOS:

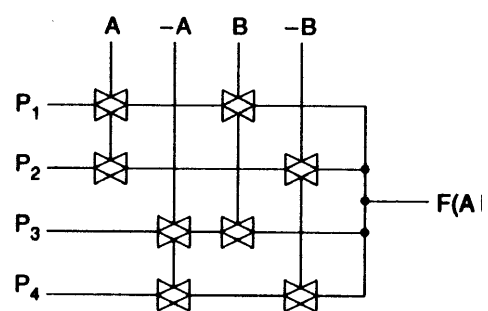
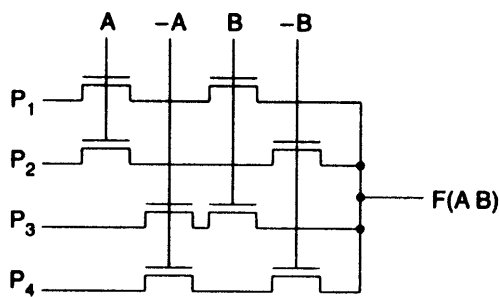


De-generering av hög singal genom nMOS transistorn:



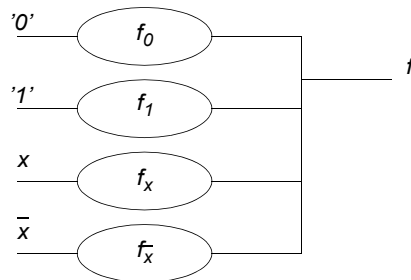
Vid uppladdning av C_L så går spänningen upp till $V_{out} = V_{DD} - V_T$ eftersom nMOS transistorn stängs av då $V_{GS} < V_T$ ($V_{GS} = V_{DD} - V_{out}$, där $V_{out} = V_{DD} - V_T$)

Exempel på passtransistorlogik



Syntesprocedur för TG/passtransistorlogik

• Modell



- x är passvariabel
- f_0 är en funktion av kontrollvariablerna som släpper genom '0'
- f_1 är en funktion av kontrollvariablerna som släpper genom '1'
- f_x är en funktion av kontrollvariablerna som släpper genom x
- $f_{\bar{x}}$ är en funktion av kontrollvariablerna som släpper genom $\bar{x}$
- $f_0 + f_1 + f_x + f_{\bar{x}} = 1$

15 (25)

• Syntesprocedur

- Välj ut en passvariabel
- Identifiera och ringa in '0' i K-diagrammet som inte beror på passvariabeln, dessa bildar f_0
- Identifiera och ringa in '1' i K-diagrammet som inte beror på passvariabeln, dessa bildar f_1
- Identifiera och ringa in värden i K-diagrammet som följer passvariabeln, dessa bildar f_x
- Identifiera och ringa in värden i K-diagrammet som följer inversen av passvariabeln, dessa bildar $f_{\bar{x}}$
- kontrollera att alla värden i K-diagrammet har ringats in ($f_0 + f_1 + f_x + f_{\bar{x}} = 1$)
- Rita upp schemat enligt modellen

- Kommentar: syntesproceduren i kursboken har inte speciella nät för f_0 och f_1 vilket gör att man får mindre effektiva kretsar.

16 (25)

Exempel

- Ta fram funktionerna f_0 , f_1 , f_D och $f_{\bar{D}}$ för $f = \bar{A}\bar{B} + B\bar{C}\bar{D} + ACD$

$$f_0 = \bar{A}BC + A\bar{B}\bar{C}$$

		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1	0	0	0
	11	1	0	1	0
	10	0	0	1	0

$$f_1 = \bar{A}\bar{B}$$

		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1	0	0	0
	11	1	0	1	0
	10	0	0	1	0

$$f_D = AC$$

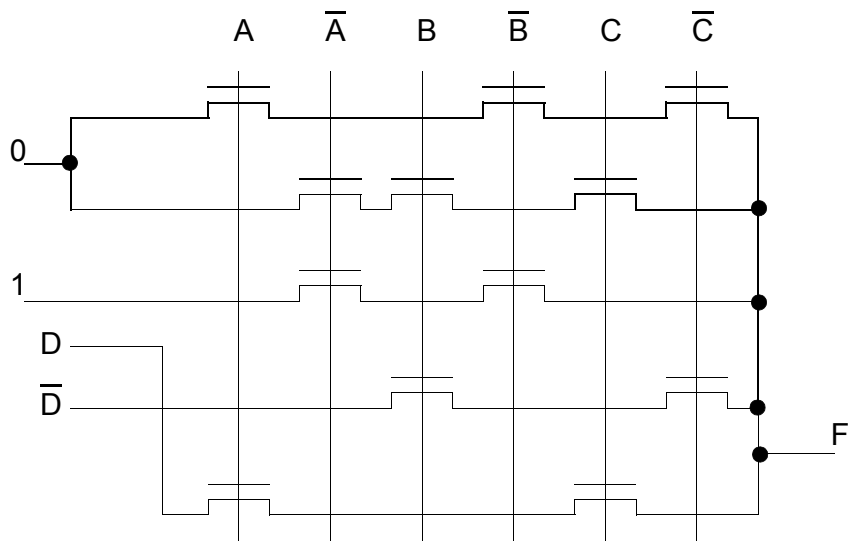
		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1	0	0	0
	11	1	0	1	0
	10	0	0	1	0

$$f_{\bar{D}} = B\bar{C}$$

		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1	0	0	0
	11	1	0	1	0
	10	0	0	1	0

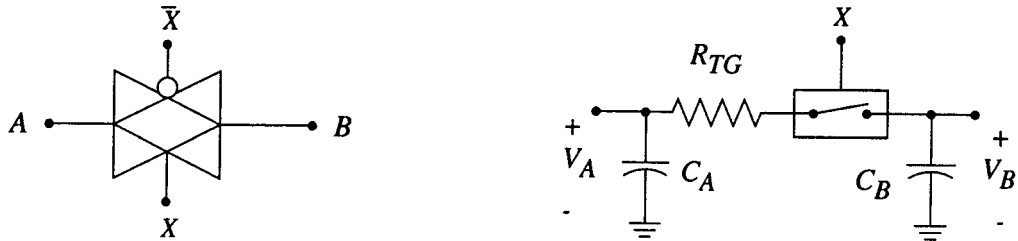
17 (25)

Passtransistorschema



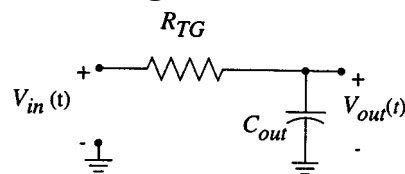
18 (25)

RC-modell för TG



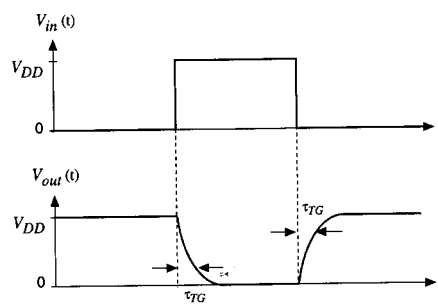
19 (25)

Estimering av TG:ns resistans



Exponentiell lösning:

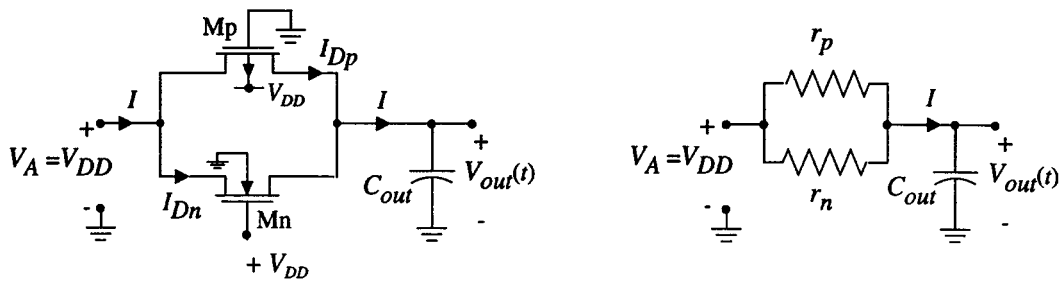
$$V_{out} = V_{DD} \left(1 - e^{-\frac{t}{\tau_{TG}}} \right)$$



20 (25)

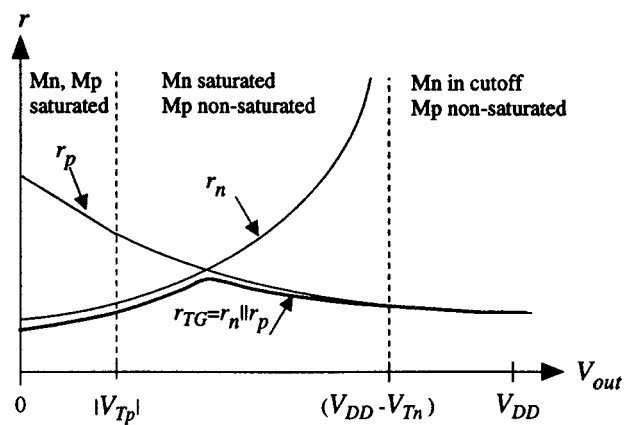
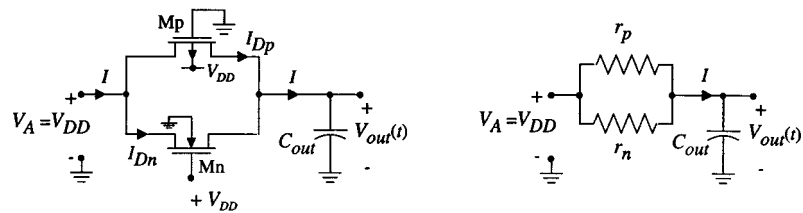
Ekvivalent resistans

$$R_{TG} = \frac{V_{TG}}{I_{Dn} + I_{Dp}}$$



21 (25)

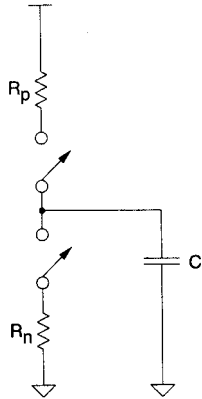
TG resistans



22 (25)

Switch-level RC-modell

Resistans-kapacitans modelleringstekniker representerar transistorn som en resistans som laddar upp och ur en kapacitans.

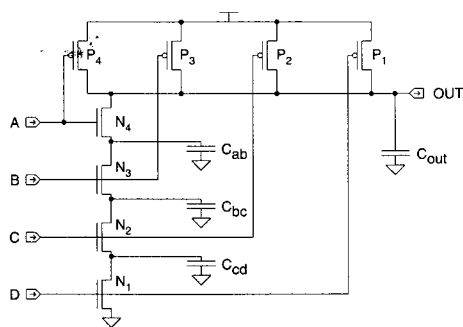


Det finns olika tekniker att modellera RC-fördröjning:

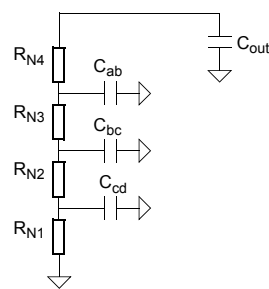
- Enkel RC modell
- Penfield-Rubenstein modell
- Penfield-Rubenstein modell slope modell (tår hänsyn till insignalernas stig- och falltider)

23 (25)

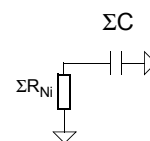
Enkel RC-modell



Transistorschema



motsvarande RC-nät



Förenklad RC-modell

$$t_D = (R_{N1} + R_{N2} + R_{N3} + R_{N4}) \cdot (C_{out} + C_{ab} + C_{bc} + C_{cd})$$

24 (25)

Penfield-Rubenstein

Penfield-Rubenstein modellen är också en generell modell för att beräkna fördröjningar i godtyckliga RC-nät.

$$t_D = \sum_i R_i \cdot C_i$$

I fallet urladdning så är R_i summan av resistanserna från punkten i till jord och C_i är kapacitansen i nod i.

