

# Minnen

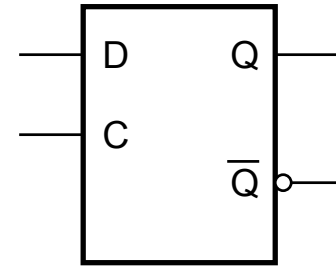
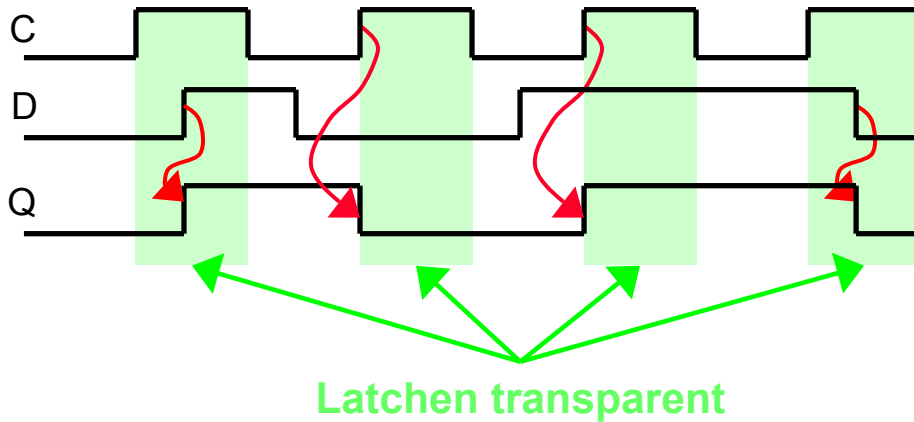
## ◆ Innehåll

- Minneselement
  - Låskrets (*eng. latch*)
  - Vippa (*eng. Flip-flop*)
  - Register
- Random-Access Memory (RAM)
- Read-Only Memory (ROM)

# Minneselement

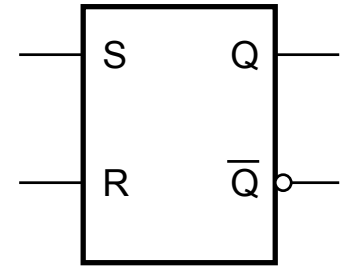
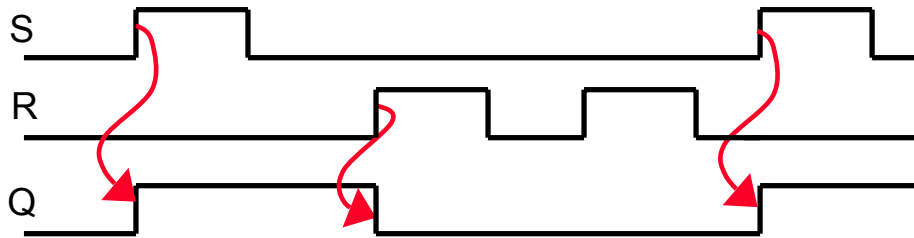
- ◆ Tillåter lagring av binära variabler för framtida beräkningar
  - Latch
    - Dess värde ändras vid klocksignalens aktiva nivå (t.ex  $C=1$ )
    - Grundläggande bistabilt minneselement
    - Lagrar 1 bit
  - Vippa (eng. Flip-flop)
    - Dess värde ändras endast vid klocksignalens flank
    - Lagrar 1 bit
    - Används t.ex i tillståndsmaskiner och register
  - Register
    - En grupp vippor som klockas med samma klocka
    - Lagrar en binär variabel som består av flera bitar

# D-latch – funktion



- ◆ En D-latch kan vara i ett av två lägen
  - Transparent – Utgången (Q) följer värdet på ingången (D)
  - Lås – Värdet på utgången (Q) bibehålls och är oberoende av ingången (D)
- ◆ Ingången C kontrollerar i vilket läge latchen befinner sig i

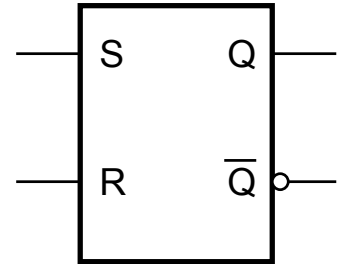
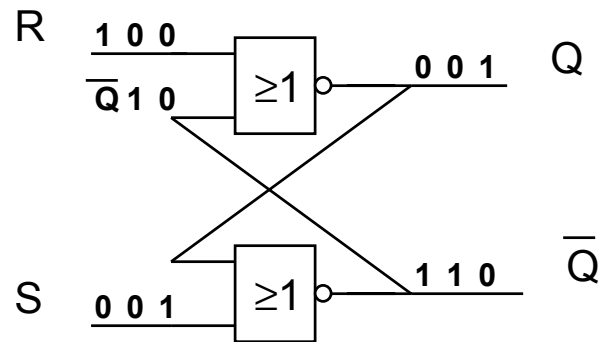
# SR-latch – funktion



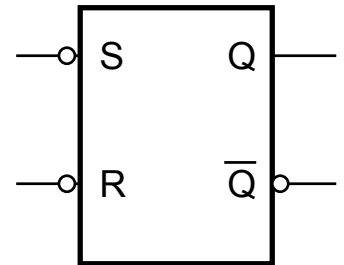
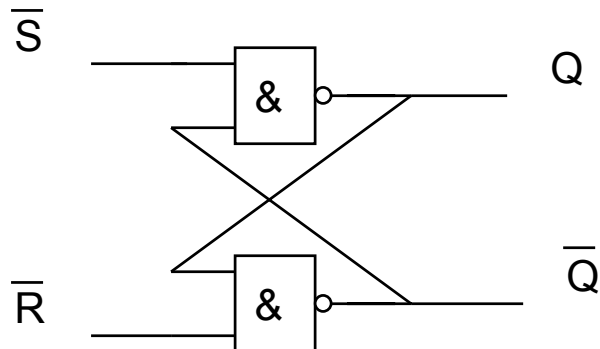
- ◆ En SR-latch har två ingångar som aktiverar latchens operationer
  - ◆ Set: Ingången S sätter latchen till 1 ( $Q=1$ )
  - ◆ Reset: Ingången R sätter latchen till 0 ( $Q=0$ )

# SR-latch – uppbyggnad

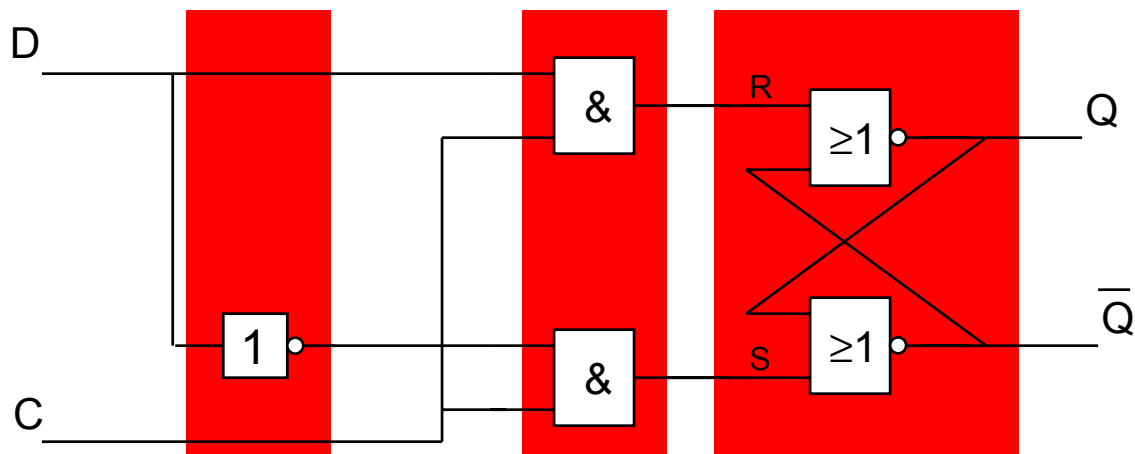
| S | R | Q <sup>+</sup> | Operation       |
|---|---|----------------|-----------------|
| 0 | 0 | Q              | Behåll Q        |
| 1 | 0 | 1              | Set Q → 1       |
| 0 | 1 | 0              | Reset Q → 0     |
| 1 | 1 | 0              | Otillåten komb. |



| S' | R' | Q <sup>+</sup> | Operation       |
|----|----|----------------|-----------------|
| 0  | 0  | Q              | Otillåten komb. |
| 1  | 0  | 1              | Reset Q → 0     |
| 0  | 1  | 0              | Set Q → 1       |
| 1  | 1  | 0              | Behåll Q        |



# D-latch – uppbyggnad

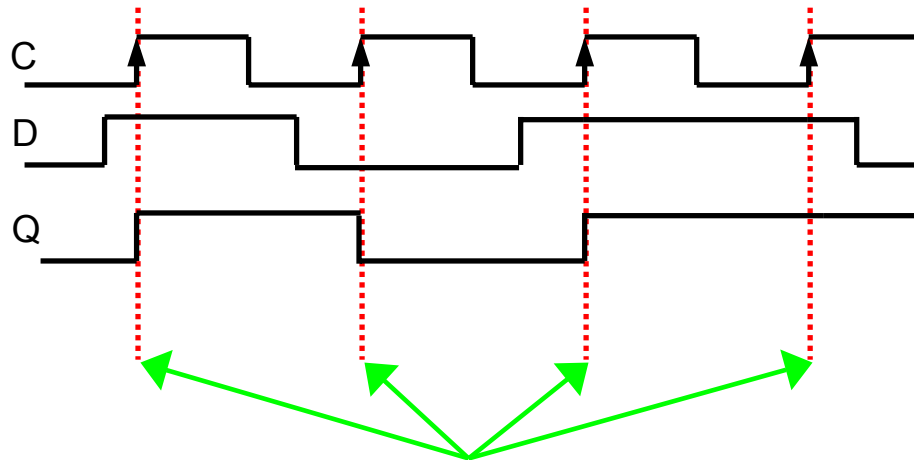


SR-latch

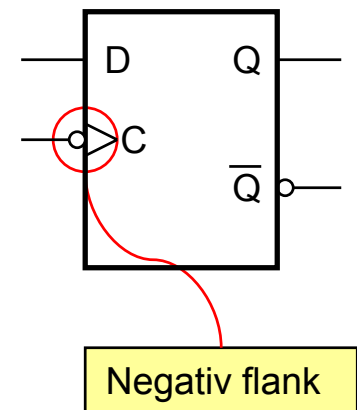
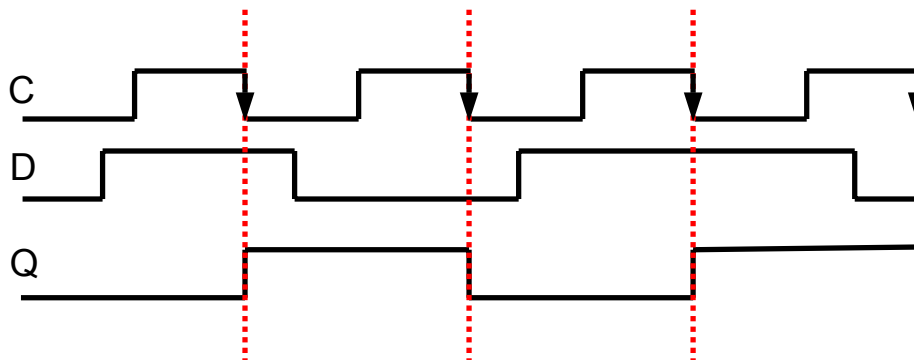
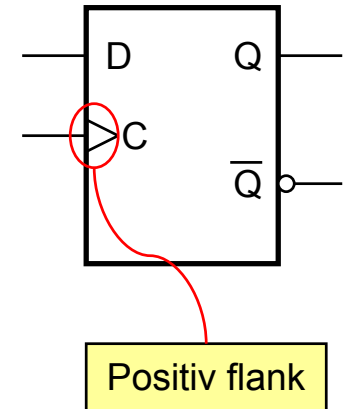
Inverteraren skapar S- och R-signaler som alltid är varandras invers:  
 $S=D$  och  $R=D'$

OCH-grindar som gör att då  $C=0$  ändras inte latchens innehåll:  
 $C=0 \rightarrow S=0; R=0 \rightarrow Q^+ = Q$

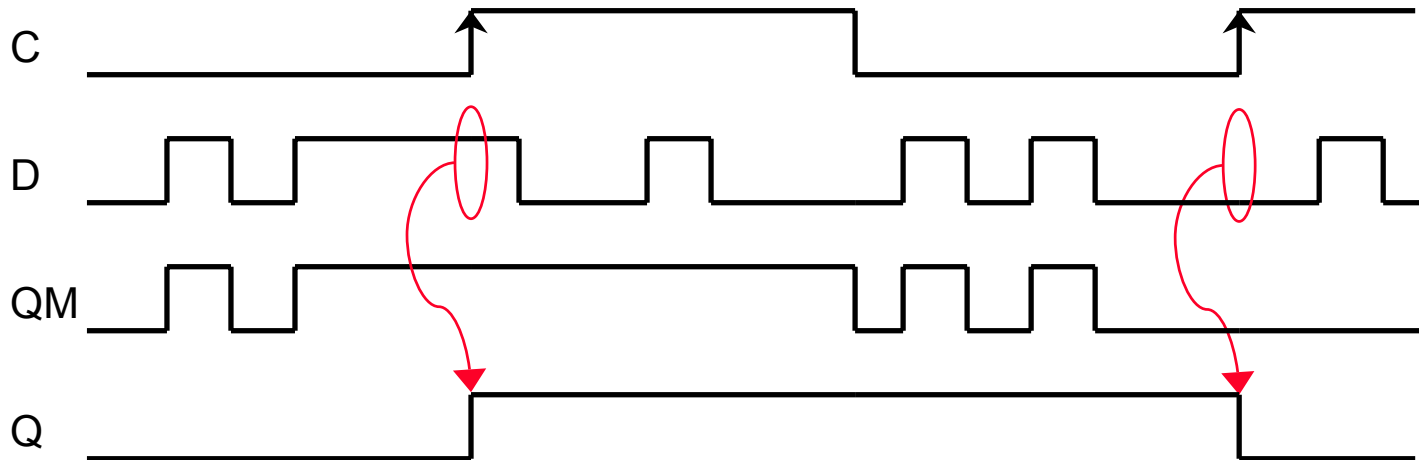
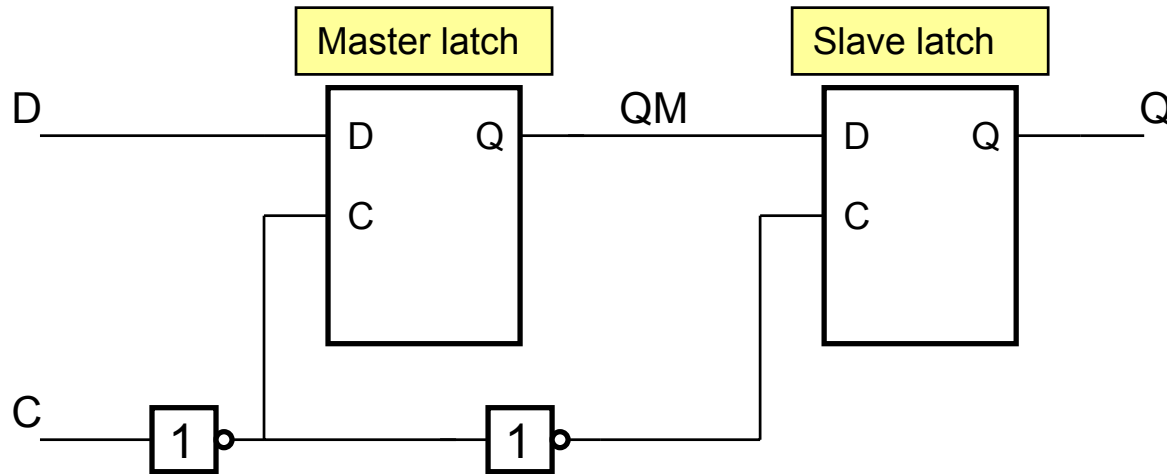
# D-vippa – funktion



D-vippan "samplar" värdet på  
D-ingången vid klocksignalens flank



# D-vippa – uppbyggnad



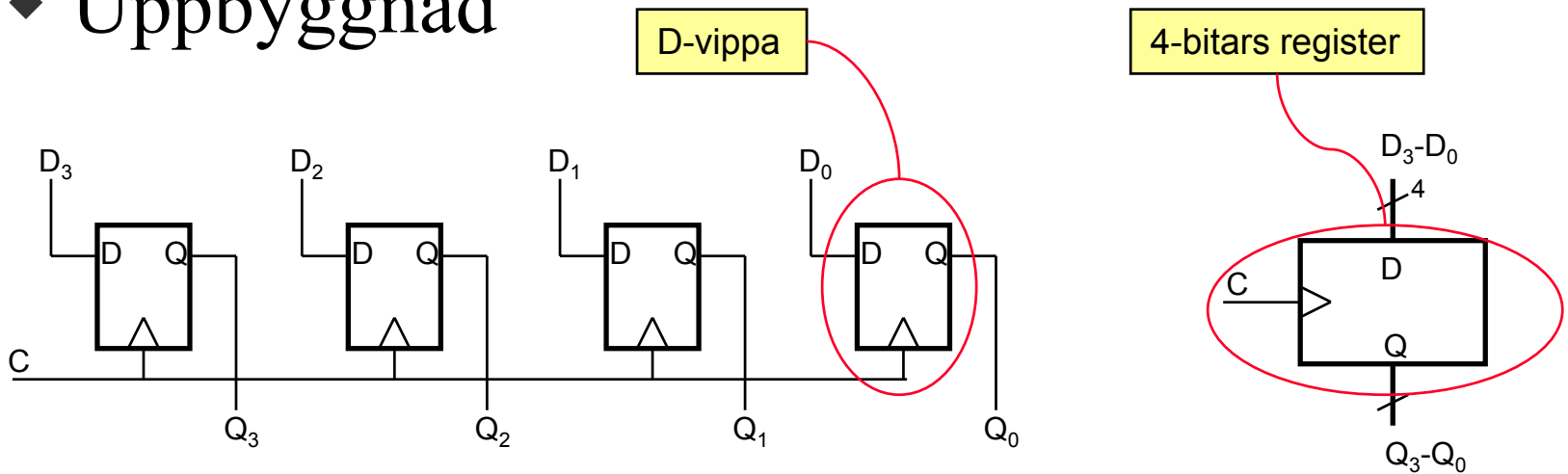
|                    |                   |                    |                   |
|--------------------|-------------------|--------------------|-------------------|
| Master Transparent | Master Låser      | Master Transparent | Master Låser      |
| Slave Låser        | Slave Transparent | Slave Låser        | Slave Transparent |

# Register

## ◆ Funktion

- Lagrar ett n-bitars binärt tal
- Bitarna i talet skrivs till registret och läses från registret parallellt

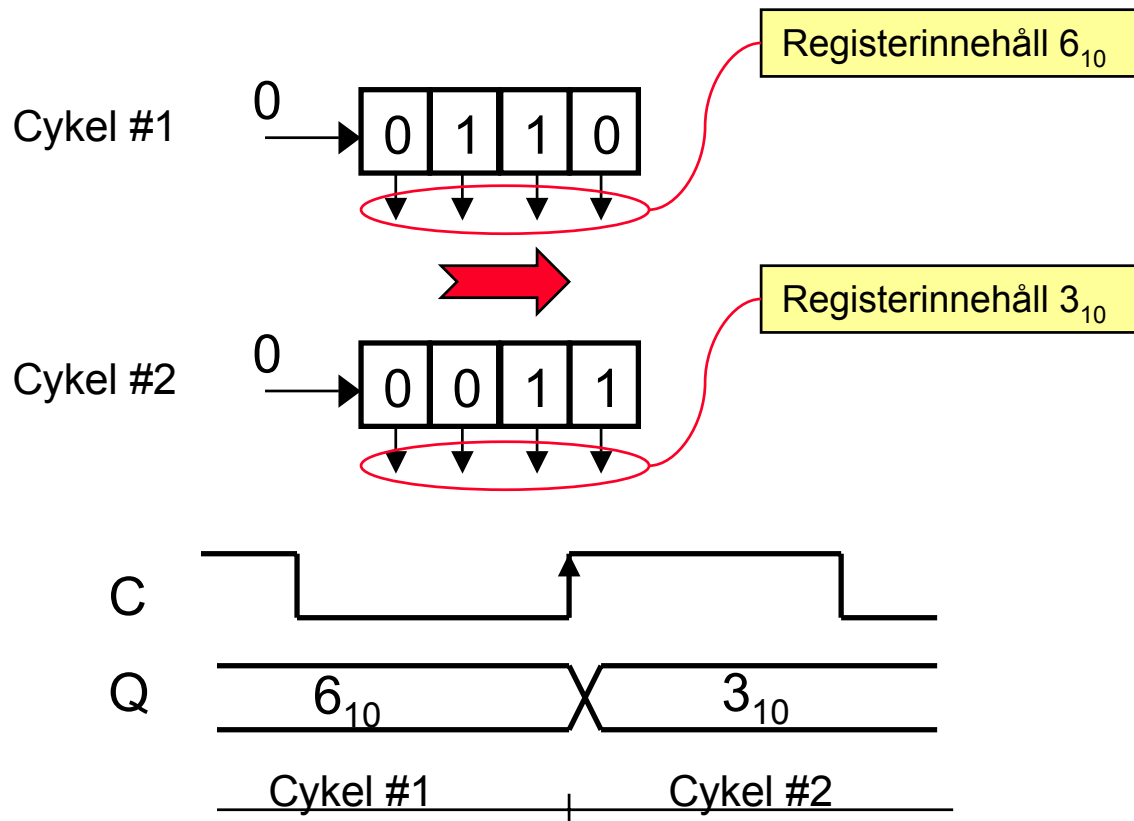
## ◆ Uppbyggnad



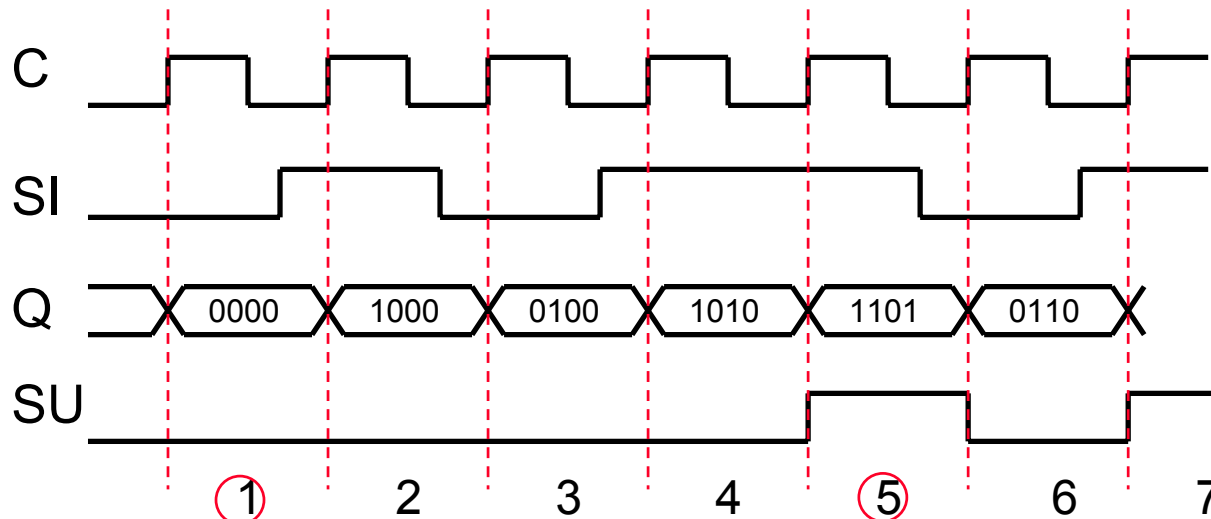
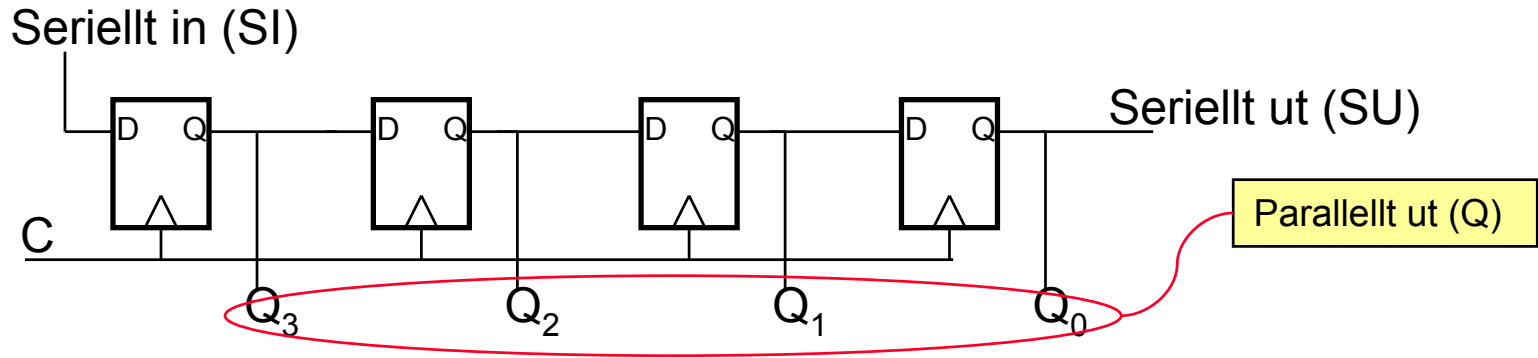
# Skiftregister – funktion

## ◆ Funktion

- Flyttar talet i ett register i ”sidled” åt vänster eller höger



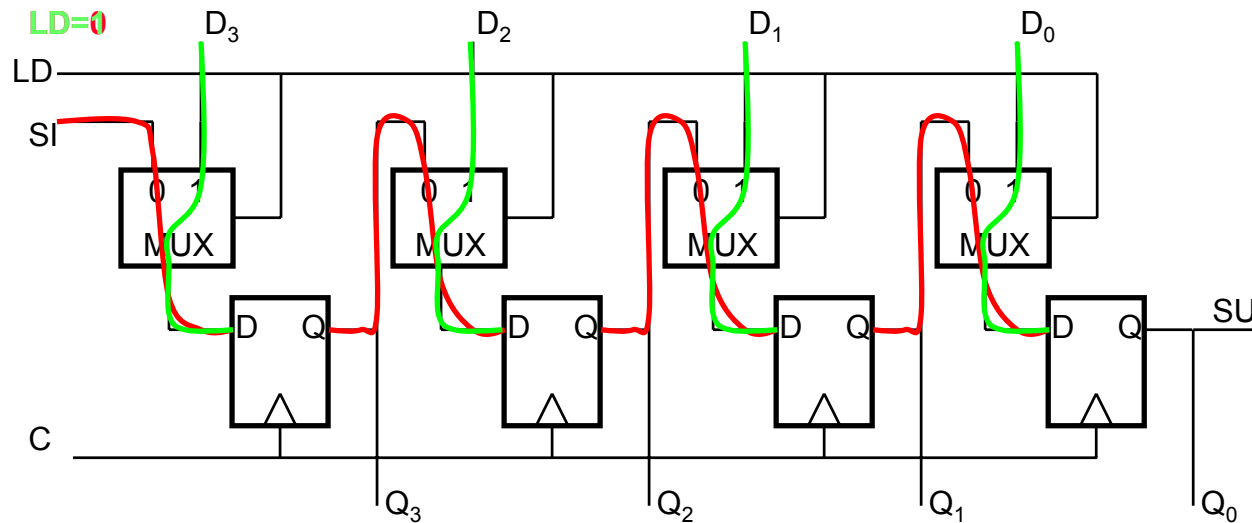
# Skiftregister – uppbyggnad



SU är lika med SI fast fördröjd med 4 klockcykler  
(antalet vippor i skiftregistret)

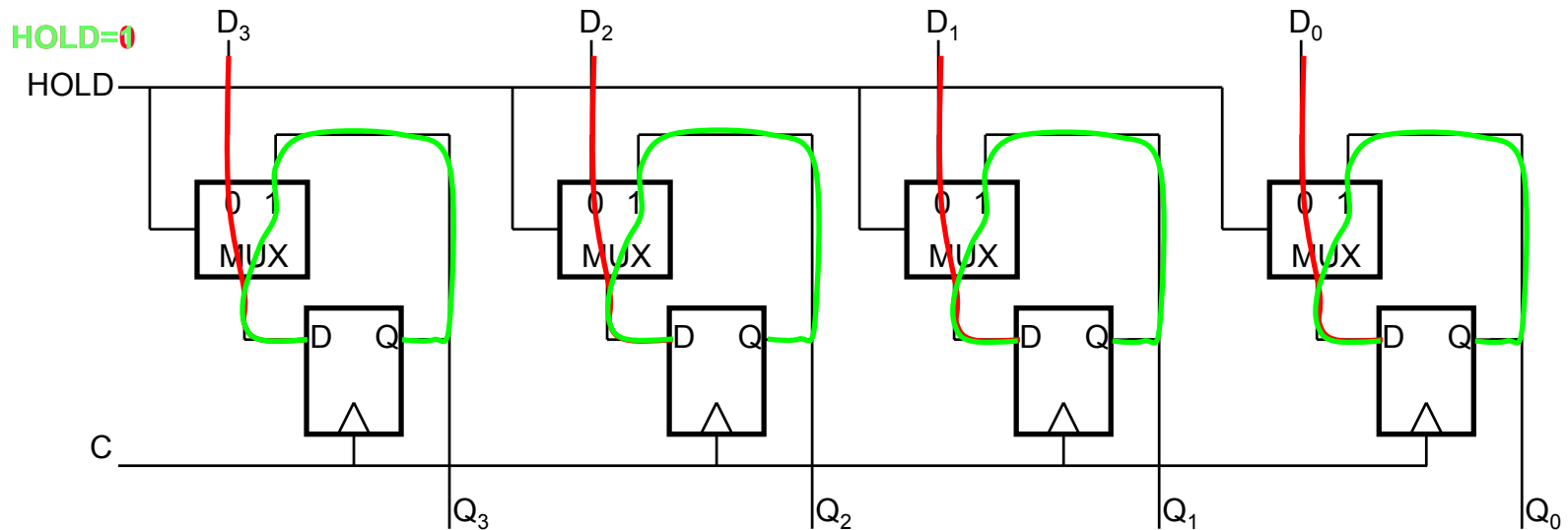
# Skiftregister med parallell laddning

- ◆ Kan ställas i två lägen
  - Skifta innehållet ( $LD=0$ )
  - Ladda in ett binärt tal parallellt ( $LD=1$ )



# Register med ”håll”-funktion

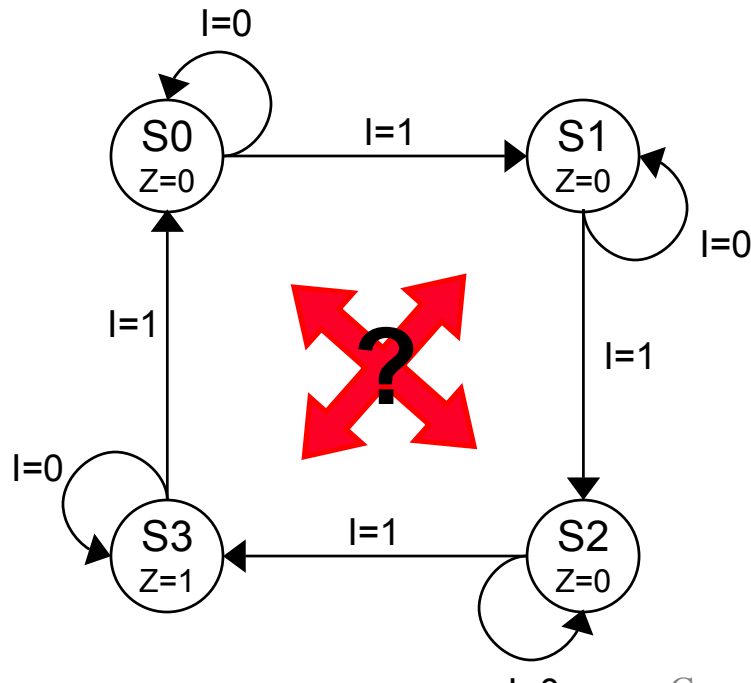
- ◆ Registret kan ställas i två lägen
  - Skriv in nytt värde i registret (hold=0)
  - Behåll det tidigare värdet (hold=1)



# Initiering av minneselement

## ♦ Motivation

- Då spänningen slås på är vippornas tillstånd okänt – de kan antingen vara 1 eller 0.
- För en tillståndsmaskin innebär det att starttillståndet är okänt



Tillståndskodning

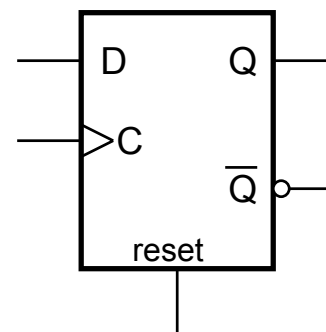
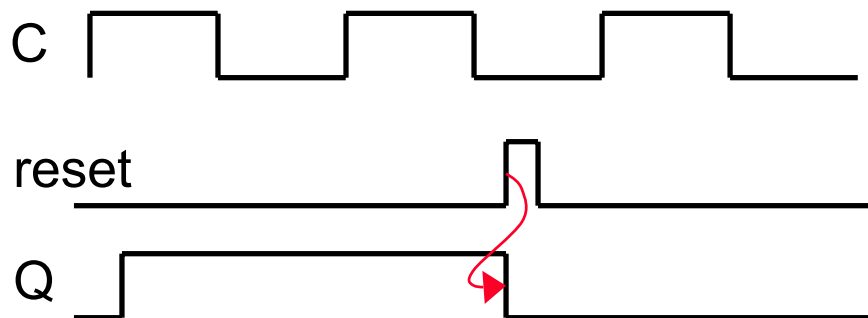
| Tillstånd (S) | Binär (Q) |
|---------------|-----------|
| S0            | 00        |
| S1            | 01        |
| S2            | 10        |
| S3            | 11        |
| $q_1q_0$      |           |

Vid uppstart kan  
Vipporna ha vilket  
tillstånd som helst

# D-vippa med reset-signal

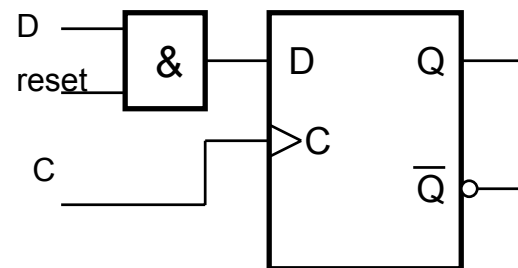
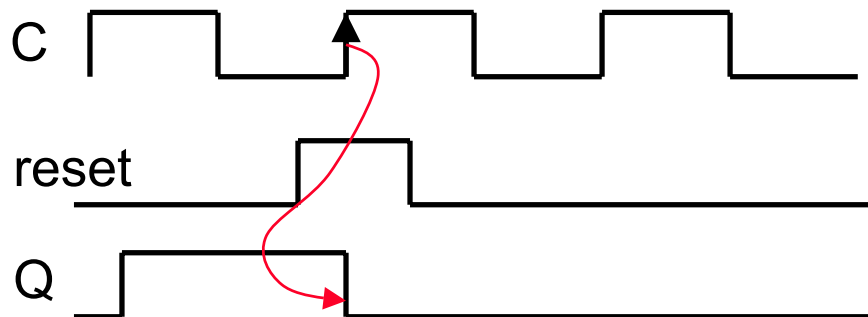
## ◆ Asynkron reset

- Nollställer vippans innehåll oberoende av klockan

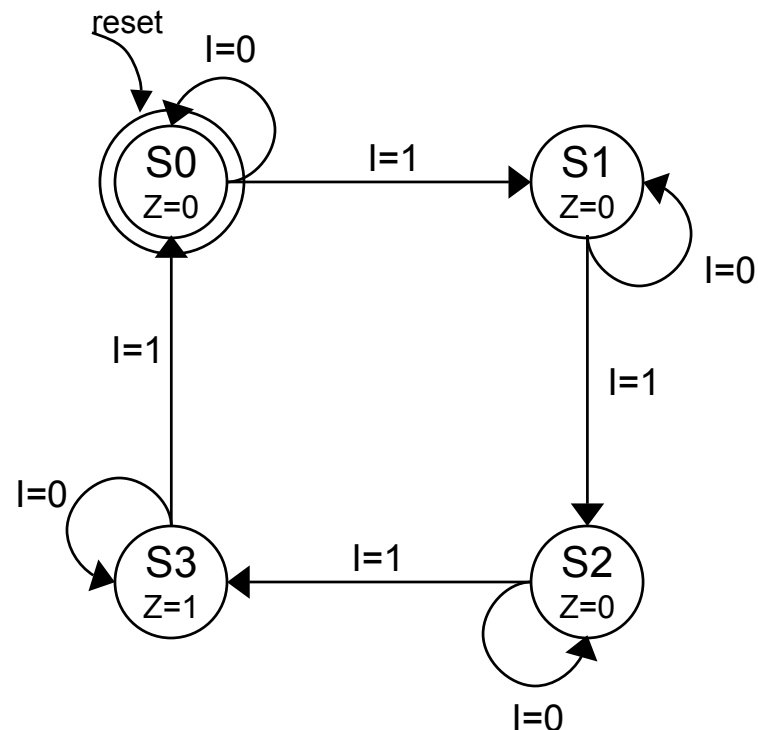


## ◆ Synkron reset

- Nollställer vippans innehåll vid klockans aktiva flank



# Initiering av en tillståndsmaskin



Tillståndskodning

| Tillstånd (S) | Binär (Q) |
|---------------|-----------|
| S0            | 00        |
| S1            | 01        |
| S2            | 10        |
| S3            | 11        |
|               | $q_1q_0$  |

Vid uppstart tvinga maskinen till ett definierat tillstånd

# Random-Access Memory (RAM)

## ◆ Generellt

- Stora matriser av minnesceller som kan skrivas och läsas
- Används t.ex i datorers internminne
  - Exekverande program
  - Data för snabb åtkomst

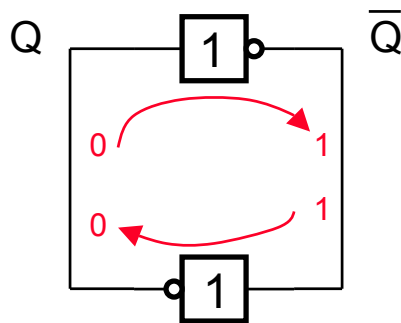
# RAM minnescell

## ◆ Funktion

- Håller 1 bits information statiskt, d.v.s data ligger kvar ända tills nytt data skrivs in

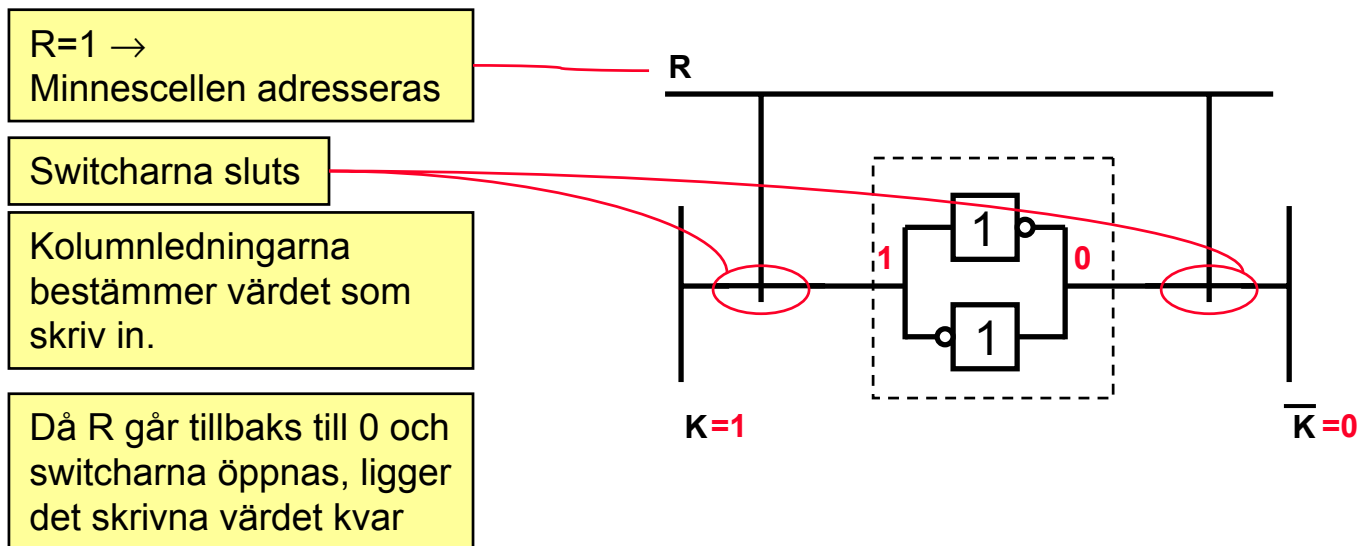
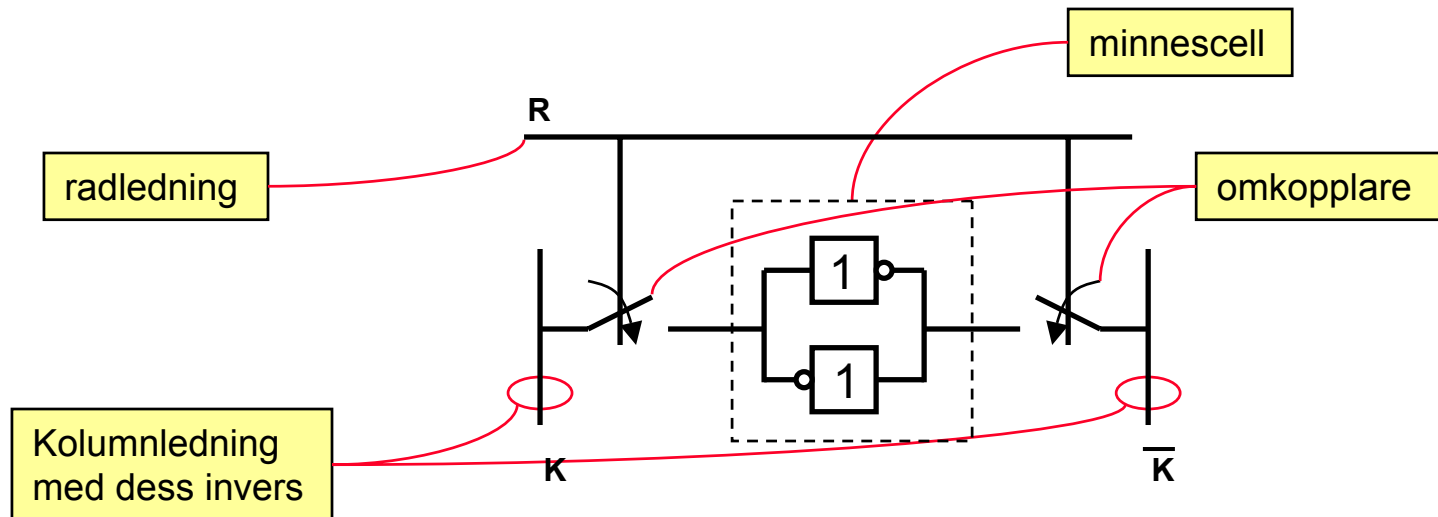
## ◆ Uppbyggnad

- Konstrueras med två sammankopplade inverterare



Latch, jämför med nor2-latchen

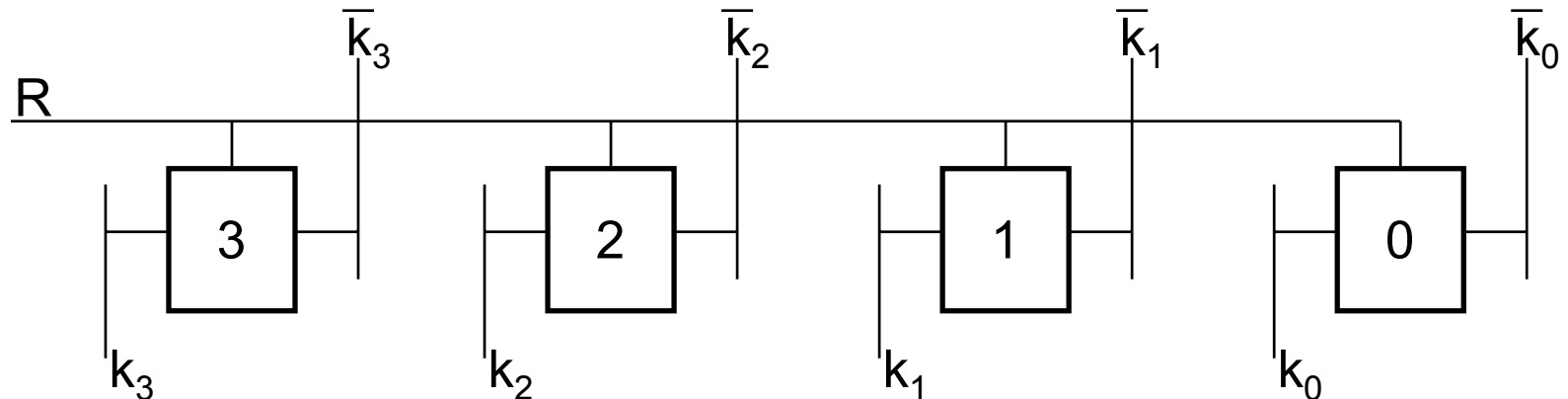
# Skrivning i minnescell



# Matriser med RAM-celler

## ◆ Exempel

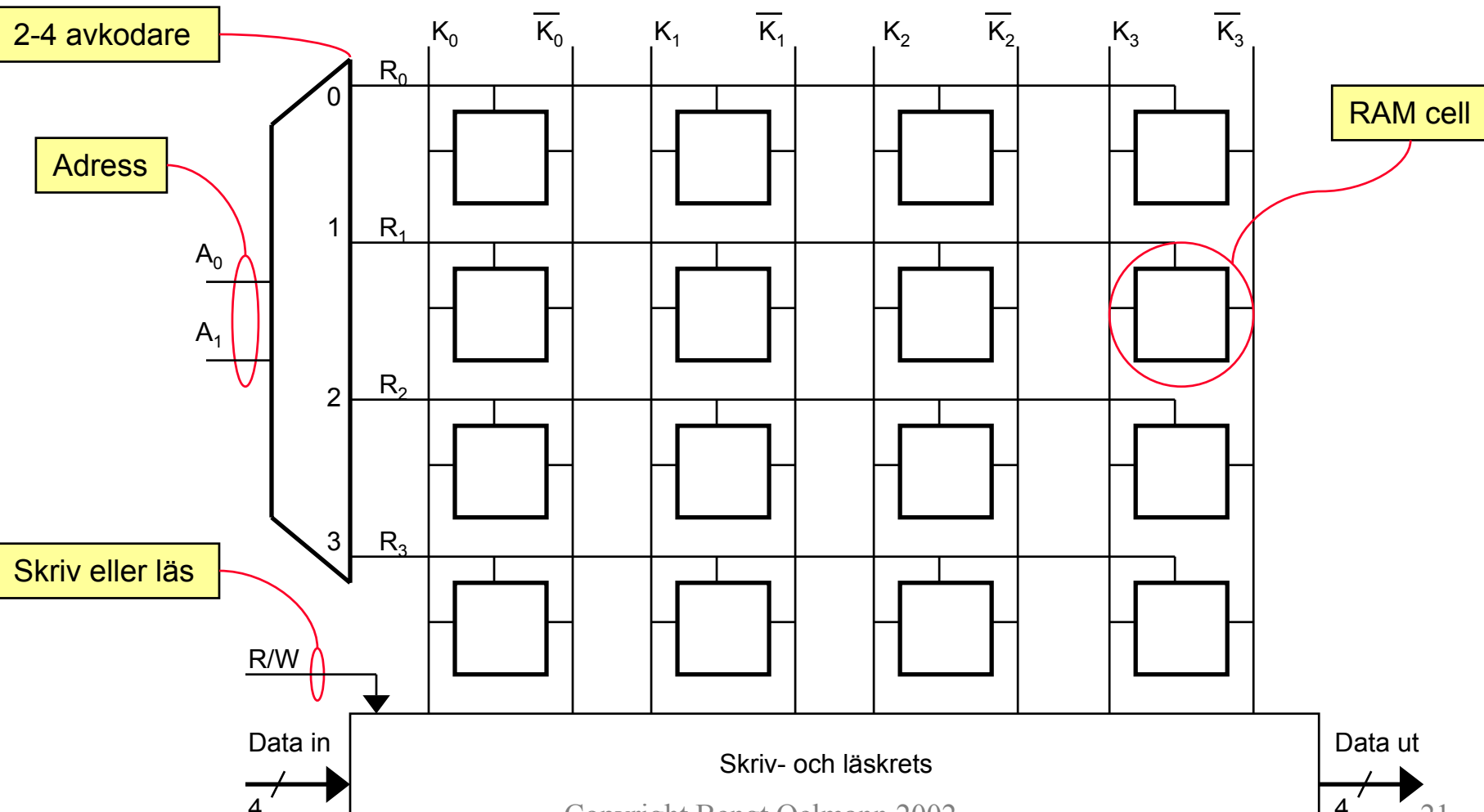
- 1×4 bitars minne, d.v.s ett binärt tal som består av 4-bitar kan lagras
- Funktion
  - R=0: minnescellerna isoleras från kolumnledningarna
  - R=1: samtliga minnesceller i ordet kan komma åt antingen för läsning eller skrivning via  $k_3 - k_0$



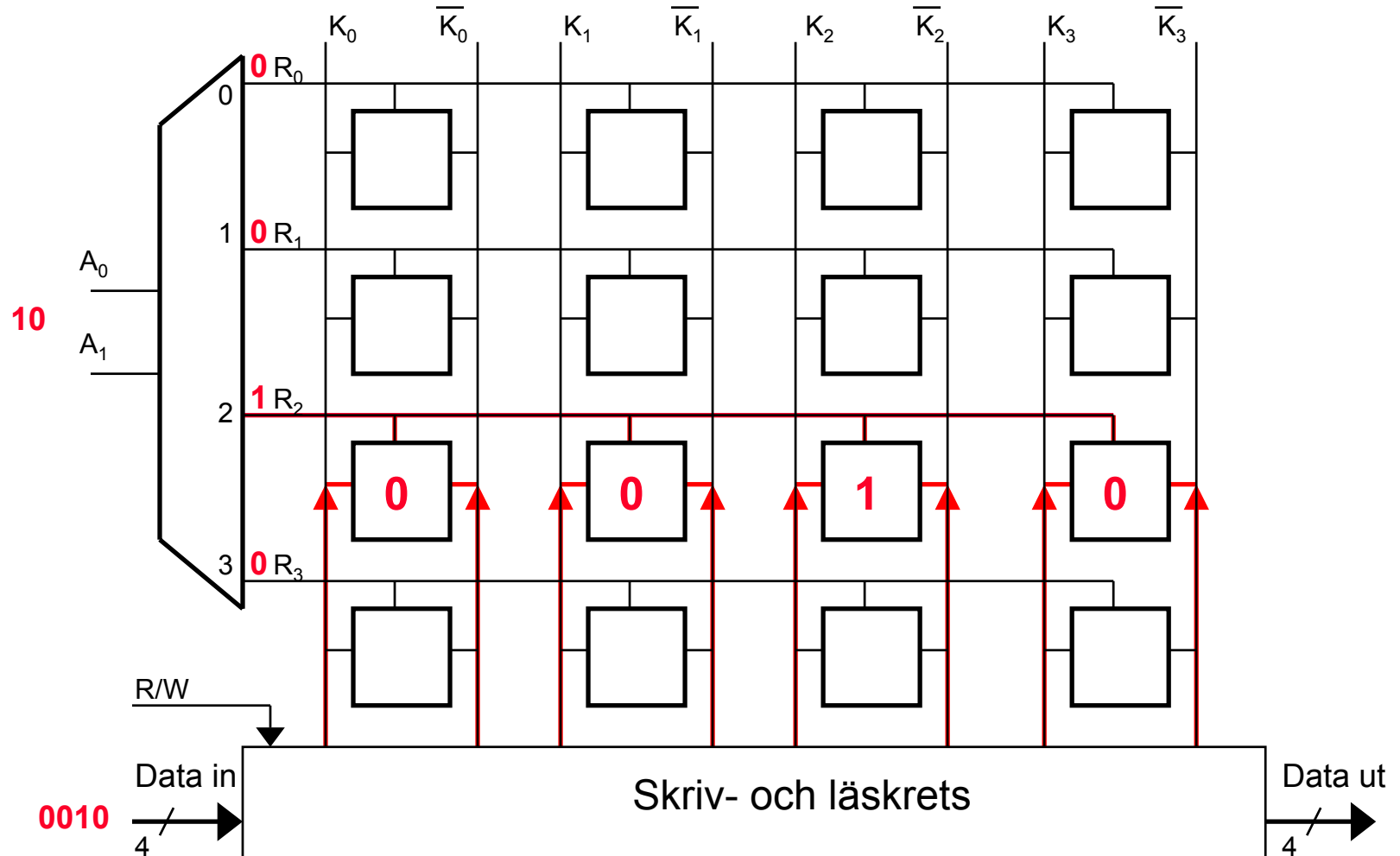
# Matris med RAM-celler

## ◆ Exempel

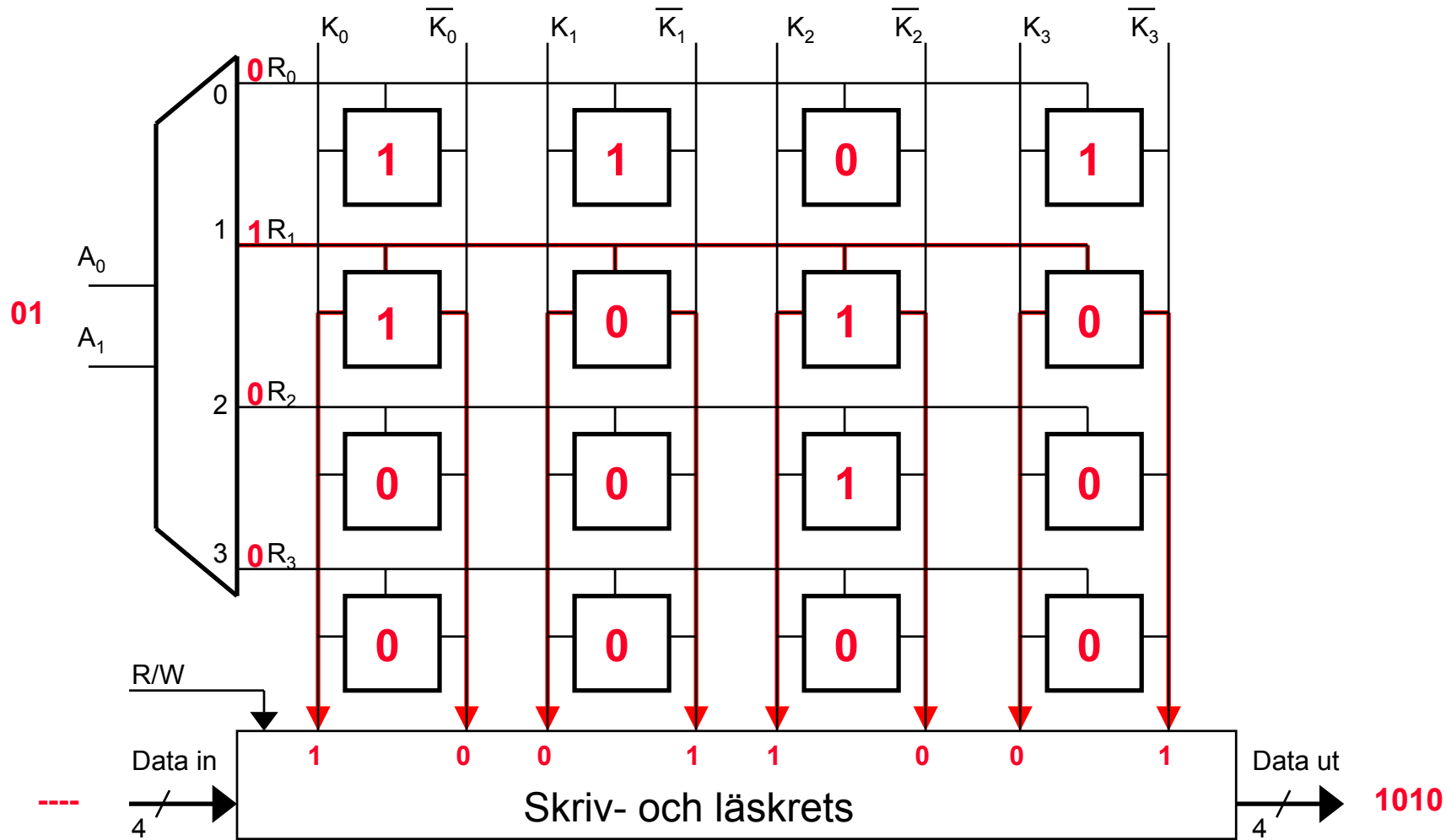
- 4×4 bitars minne (4 binära tal á 4 bitar)



# Skrivning i RAM



# Läsning i RAM

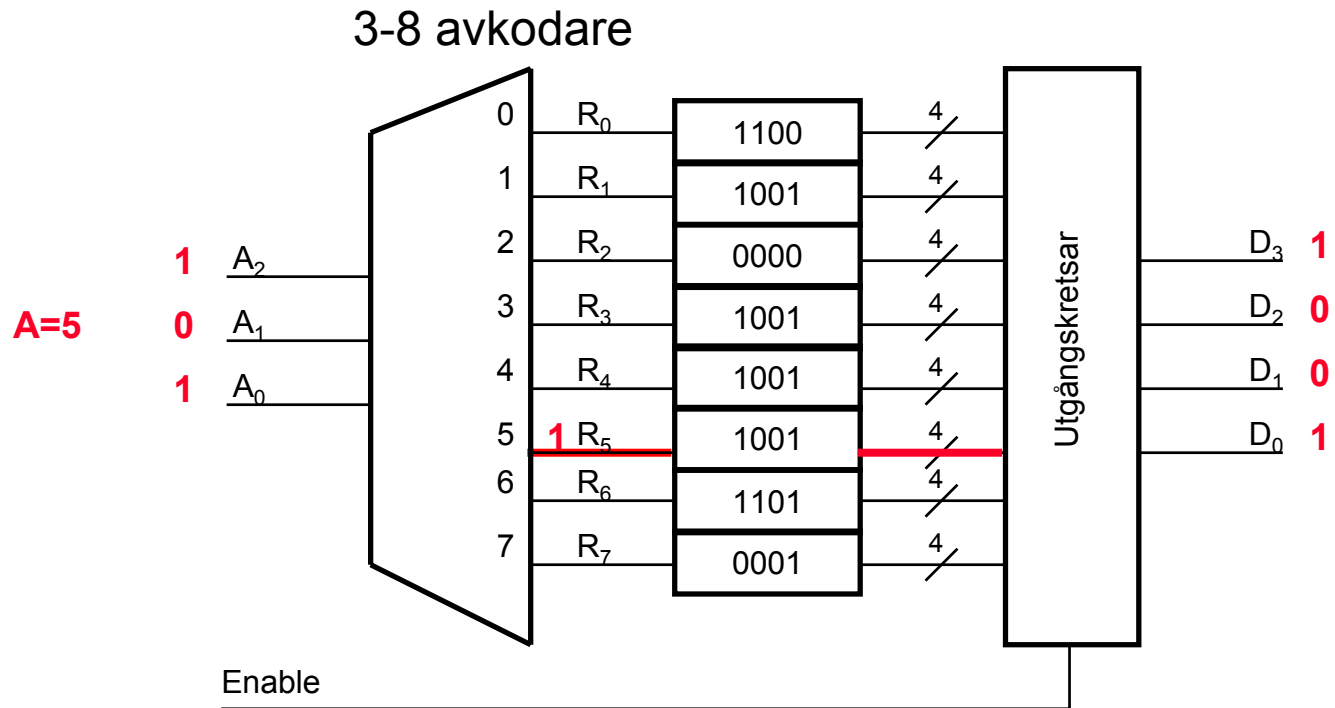


# Read-Only Memory (ROM)

## ◆ Generellt

- Permanent minne
- Innehållet bestäms vid tillverkning
- Icke-flyktigt minne – data finns kvar om spänningen försvinner
- Fungerar som en tabell

# ROM – uppbyggnad och funktion



# SLUT på Föreläsning 6.1

## ◆ Innehåll

- Minneselement
  - Låskrets (eng latch)
  - Vippa (eng. Flip-flop)
  - Register
- Random-Access Memory (RAM)
- Read-Only Memory (ROM)