

F9: Minne

- **Minneskonfiguration**
 - Sammansättning av minnesgrupper
 - Ansluta minne till 68000
 - Interface till olika typer av minnen
 - Användningsområden

Minnen

- **Minneskapslar kommer i olika**
 - storlekar, antal adresspinnar
 - bitbredd, antal datapinnar
- **Antal minneskapslar (m_{comp}) väljs med:**

$$m_{comp} = \frac{S}{2^{n_{address_comp}} \cdot \frac{n_{data_comp}}{8}}$$

– Där:

- S = Den önskade minnesstorleken i bytes.
- $n_{address_comp}$ = Är antalet adresspinnar på en minneskapsel
- n_{data_comp} = Är antalet datapinnar på en minneskapsel

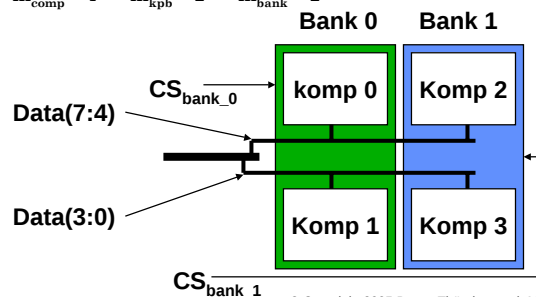
Sammansättning av minnen

- **Sammansättning**

- Antal kapslar i varje minnesbank, $m_{kpb} = n_{data_bus} / n_{data_comp}$
- Antal minnesbanker, $m_{bank} = m_{comp} / m_{kpb}$

- **Exempel**

- $n_{data_comp} = 4, n_{data_bus} = 8$
- $m_{comp} = 4 \Rightarrow m_{kpb} = 2 \Rightarrow m_{bank} = 2$



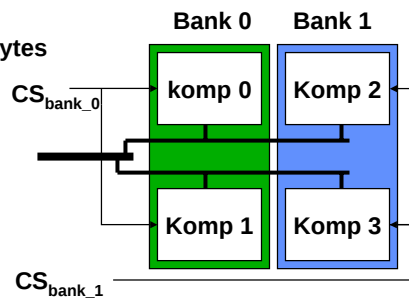
Sammansättning, forts.

- **Generering av CS signaler för minnen med flera minnesbanker**

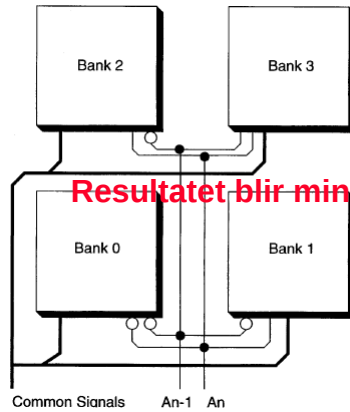
- Avkoda adressbitar: $n_{address_comp}$ till $n_{address_comp} + \log_2(m_{bank}) - 1$

S = 32k, varje bank är 16kbytes
A₁₄ ska avkodas

A ₁₄	CS _{bank0}	CS _{bank1}
0	1	0
1	0	1



Sammansättning, forts.



Resultatet blir minskad förlusteffekt !

- Den totala mängden minne indelas i B antal minnesbanker
- Den totalt switchade kapacitansen reduceras med en faktor av $1/B$
- Den extra avkodning som behövs ger ett overhead.

For a standard CMOS logic inverter continuously toggling at frequency f

$$P_{mean} = \frac{U^2 \cdot C \cdot f}{2}$$

U = matningsspänning

C = totalt switchad kapacitans

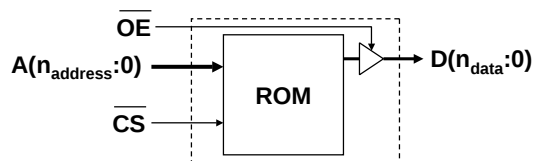
f = switchfrekvens

Interface till minnen

- ROM
- RAM
- DRAM

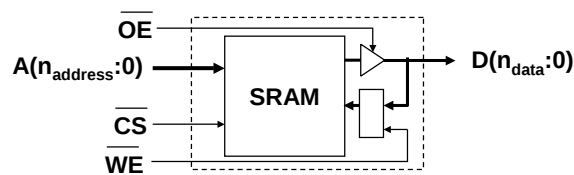
ROM

- **Läsminne (Read Only Memory)**
 - Anslutes direkt till processorbussen
- **Adressering**
 - Adressen skickas direkt på adresspinnarna
 - Samt att CS signalen aktiveras
- **Drivning av databussen**
 - Minnet driver datasignalerna om OE signalen aktiveras



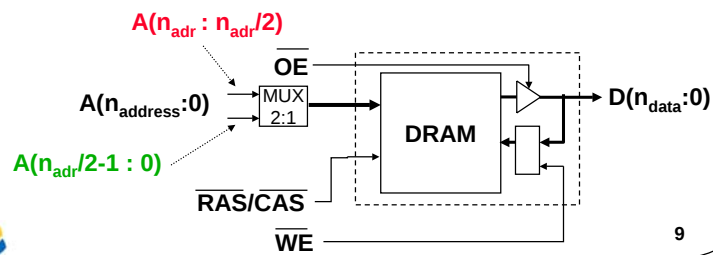
SRAM

- **Läs/skriv minne (Statiskt Random Access Mem.)**
 - Anslutes direkt till adress- och databuss
- **Adressering**
 - Adressen skickas direkt på adresspinnarna
 - Samt att CS signalen aktiveras
- **Signalering**
 - Minnet driver datasignalerna om OE signalen aktiveras
 - Minnet läser in data om WE signalen aktiveras

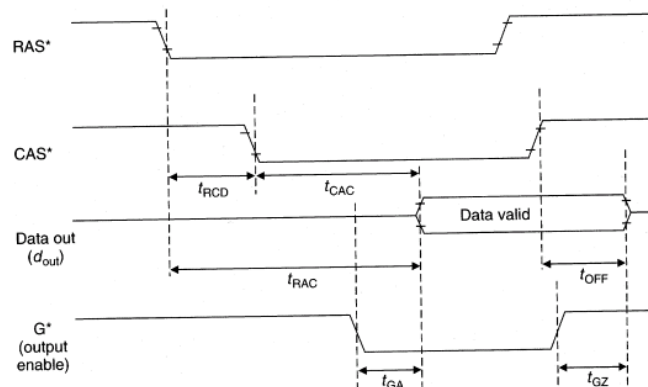


DRAM

- **Läs-/skrivminne (Dynamic Random Access Mem.)**
 - Anslutes direkt till databuss och via kontrollerkrets till adressbussen.
- **Adressen drivs i två faser**
 - 1: Radadress $A(n_{\text{adr}} : n_{\text{adr}}/2) \Rightarrow$ adress på kapsel, RAS aktiv
 - 2: Kolumnadress $A(n_{\text{adr}}/2-1 : 0) \Rightarrow$ adress på kapsel, CAS aktiv



DRAM, forts.



The timing diagram illustrates the relationship between several signals and their timing parameters:

- RAS***: Row Address Strobe. Parameters shown include t_{RAS} (pulse width), t_{AR} (time from RAS* to CAS*), t_{RRP} (time from RAS* to next RAS*), and t_{RCD} (time from RAS* to CAS* setup).
- CAS***: Column Address Strobe. Parameters shown include t_{CSH} (time from CAS* to RAS*), t_{RSH} (time from CAS* to RAS*), and t_{CRP} (time from CAS* to next CAS*).
- Address**: Shows row address and column address periods. Parameters include t_{ASR} , t_{RAH} , t_{ASC} , and t_{CAH} .
- W***: Write Enable. Parameters shown include t_{WCS} (time from W* to RAS*) and t_{WCH} (time from W* to RAS*).
- Q (data out)**: Data output. Parameters shown include t_{RAC} (time from RAS* to data valid) and t_{OFF} (time from RAS* to data invalid).
- G* (output enable)**: Output enable. Parameters shown include t_{GA} (time from G* to data valid) and t_{GZ} (time from G* to data invalid).



Mittuniversitetet
MID SWEDEN UNIVERSITY

12

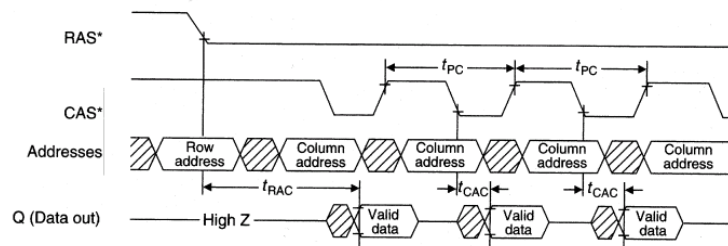


Mittuniversitetet
MID SWEDEN UNIVERSITY

© Copyright 2005 Benny Thörnberg och Mattias O'Nils

DRAM, pagemode

- Multipla dataord läses från samma radadress
 - Snabbare
 - Det krävs att det är sekventiella accesser
 - Dvs. access inom samma radadress



Användningsområden

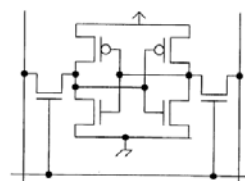
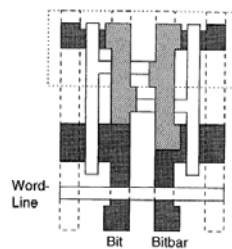
- Minnen (Funktion, användningsområde)
 - RAM
 - Statiskt
 - Dynamiskt
 - ROM

RAM

- **Typer av läs-/skrivminne**
 - Statiskt
 - Dynamiskt

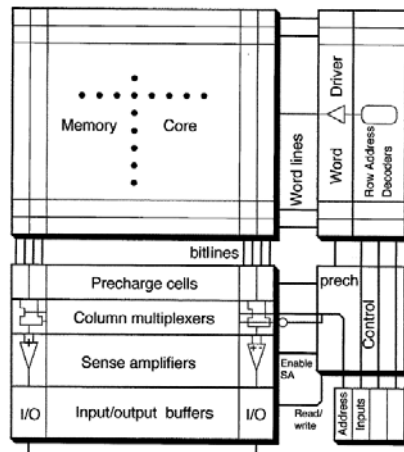
Statiskt RAM

- **Karakteristiskt:**
 - Enkel att använda
 - Ansluts direkt till processor bussen
 - Snabb
 - Adressen skickas direkt till komponenten
 - Snabb arkitektur
 - Dyr
 - 6 transistorer per bit => stor area
 - Høgt pris [\$/bit]



Statiskt RAM

• Organisation



- Memory Core
- Word Decoders
- Column Decoders
- Precharge
- Sense Amplifiers

17

Statiskt RAM

• Användning

- Enkla system där endast ett lite RAM behövs (enkel)
- Special tillämpningar där man behöver ett minne som är mycket snabbt (snabb)

18

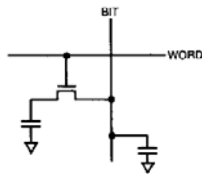
Dynamiskt RAM

- **Karakteristiskt:**

- Större konstruktionsinsats
 - Måste konstruera eller använda en färdig minneskontroller
- Långsam
 - Adressen skickas via en minneskontroller till komponenten
- Billig
 - 1 transistorer per bit => stor kapacitet
 - Lågt pris [\$/bit]

- **Användning**

- System som kräver stort minne till ett billigt pris (billig)



ROM

- **Typer av läsminne**

- ROM
- PROM
- EPROM
- EEPROM
- Flash ROM

ROM/PROM

- **Karakteristiskt:**
 - Enkel
 - Långsam
 - Färdigprogrammerade
- **Användning**
 - Ersätta gamla minneskretsar i existerande system

EPROM

- **Karakteristiskt:**
 - Programmerbara av användaren
 - Långsam
 - Billig
 - Om OTP (One Time Programmable)
 - Dyr
 - Om omprogrammerarebar (UV radering), kräver dyr kapsel
- **Användning**
 - System som inte kräver stort ROM minne (enkel/billig)
 - System som kräver omprogrammerbarhet (enkel)



EEPROM

- **Karakteristiskt:**
 - Enkel
 - Långsam
 - Dyr
 - Teknologin är rätt dyr
- **Användning**
 - System där man vill ha spara lite information under användandet av systemet, dvs halvledardisk (Enkel)

Flash ROM

- **Karakteristiskt:**
 - Större konstruktionsinsats
 - Måste konstruera eller använda en färdig minneskontroller
 - Långsam
 - Adressen skickas via en minneskontroller till komponenten
 - Kommandon måste skickas till flashminnet
 - Radering kan bara göras blockvis
 - Billig
 - 1 transistorer per bit => stor kapacitet
 - Lågt pris [\$/bit]
- **Användning**
 - System där man behöver ändra i ROM minnet (stort) under användning
 - System där man behöver lagra stora mängder data, halvledardisk